

Wykład 13

Procesory 64-bitowe AMD Athlon 64

dr hab. inż. Bartłomiej Zieliński, prof. PŚ.

Athlon 64

Program:

- Geneza procesorów 64-bitowych
- AMD Athlon
 - Podstawowe właściwości
 - Struktura
 - Tryby pracy
- Magistrala HyperTransport
 - Architektura systemu
 - Sygnały
 - Pakietowa transmisja danych

Athlon 64

- Geneza procesorów 64-bitowych
 - Cel:
 - Procesor dla wysokowydajnych stacji roboczych i serwerów
 - Dwa sposoby:
 - AMD: ewolucja
 - Rozszerzenie architektury x86
 - Intel: rewolucja
 - Całkowicie nowa, ale interesująca, architektura

Athlon 64

- Podejście AMD – dyskusja
 - Procesor dla wysokowydajnych stacji roboczych i serwerów
 - W uproszczonej wersji – dla „zwykłych” PC
 - Założenia
 - x86 ma ograniczenia, ale prawidłowy rozwój pozwala je usunąć lub przynajmniej ominąć
 - Wsteczna kompatybilność ze sprzętem i oprogramowaniem to zaleta
 - Istniejący kod powinien być wykonywany z maksymalną możliwą wydajnością (brak programów 64-b)
 - Typowy użytkownik może potrzebować procesorów 64-bitowych, by efektywnie zarządzać pamięcią >4 GB

Athlon 64

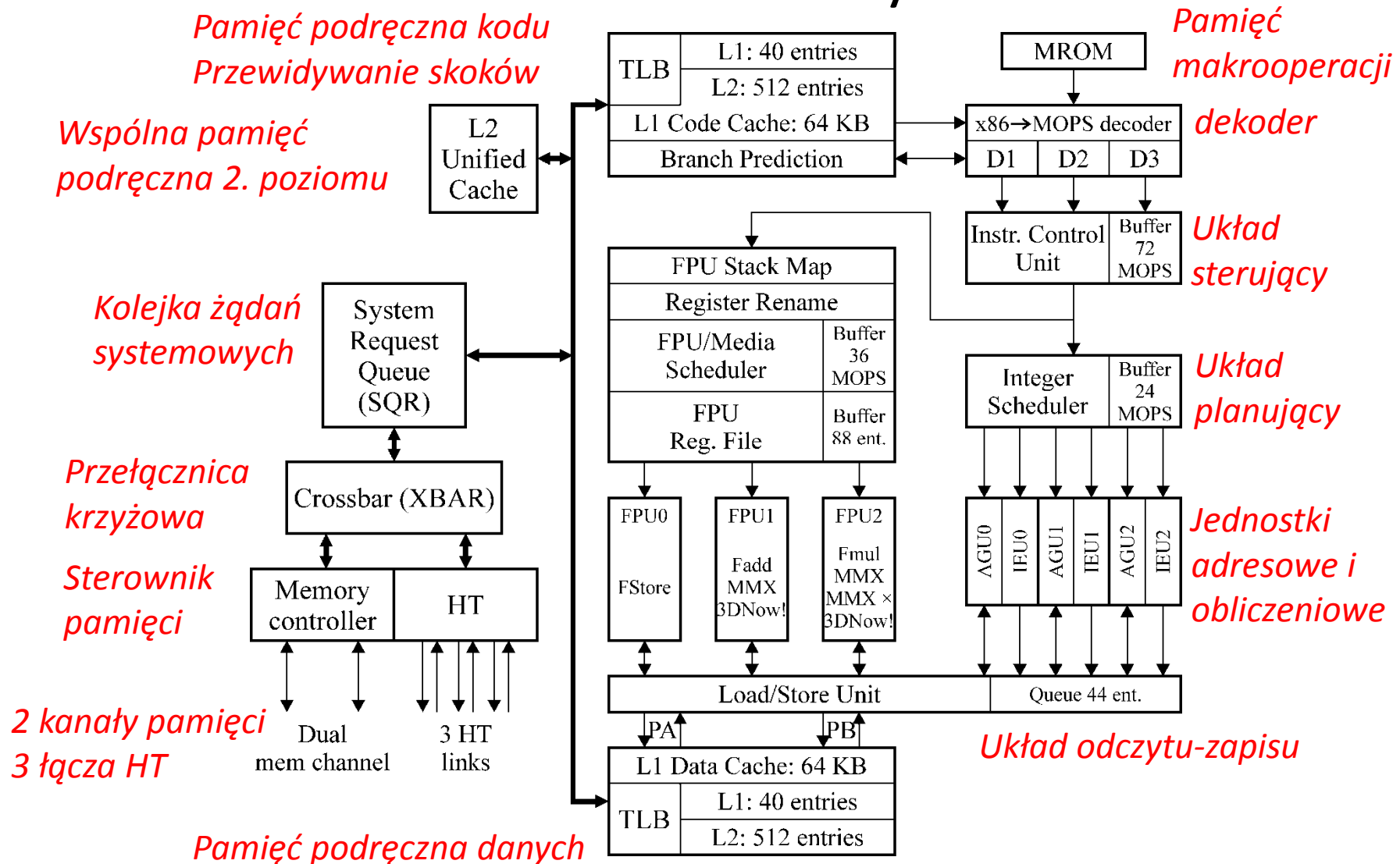
- Podejście Intel-a – dyskusja
 - Procesor dla wysokowydajnych stacji roboczych i serwerów
 - Brak informacji o wersji uproszczonej
 - Założenia
 - Architektura x86 ma ograniczenia
 - Wsteczna kompatybilność komplikuje strukturę i zasady pracy procesora
 - Wsteczna kompatybilność utrudnia wprowadzanie nowości
 - Wysokowydajne komputery nie muszą przetwarzać istniejącego kodu z maksymalną wydajnością
 - Dla nich będzie dostępny optymalny kod 64-b
 - Typowy użytkownik nie potrzebuje przetwarzania 64-b
 - *IA-64 nawet nie przypomina x86*

Athlon 64

- Athlon 64 – ważniejsze cechy
 - Struktura zbliżona do Athlona 32-b
 - Wbudowany sterownik pamięci DDRAM
 - Magistrala HyperTransport
 - 64-b tryby pracy
 - Rejestry x86 rozszerzone do 64 bitów
 - Podwojona liczba rejestrów

Athlon 64

- Athlon 64 – schemat blokowy



Athlon 64

- Athlon 64 – rejestry

63	32 31	16 15	8 7	0	127	0	79	0
	RAX	EAX	AX		XMM0		ST0	
	RBX	EBX	BX		XMM1		ST1	
	RCX	ECX	CX		XMM2		ST2	
	RDX	EDX	DX		XMM3		ST3	
	RSP	ESP	SP		XMM4		ST4	
	RBP	EBP	BP		XMM5		ST5	
	RSI	ESI	SI		XMM6		ST6	
	RDI	EDI	DI		XMM7		ST7	
	R8				XMM8			
	R9				XMM9			
	R10				XMM10			
	R11				XMM11			
	R12				XMM12			
	R13				XMM13			
	R14				XMM14			
	R15				XMM15			
	RFlags	EFlags						
	RIP	EIP						

Athlon 64

- Athlon 64 – tryby pracy
 - „tradycyjny” (*Legacy*) – dla 32-b syst.op.
 - Typowy x86, pełna zgodność z prog. 32b, 16b
 - Rozszerzenia 64-b niedostępne
 - „długi” (*LongMode*) – dla 64-b syst.op.
 - 64-b
 - Dla programów 64-b
 - Przetwarzanie 64-b
 - Rejestry 64-b
 - „zgodny” (*Compatibility*)
 - Programy 32/16-b, bez konieczności rekompilacji
 - Rozszerzenia 64-b niedostępne

Athlon 64

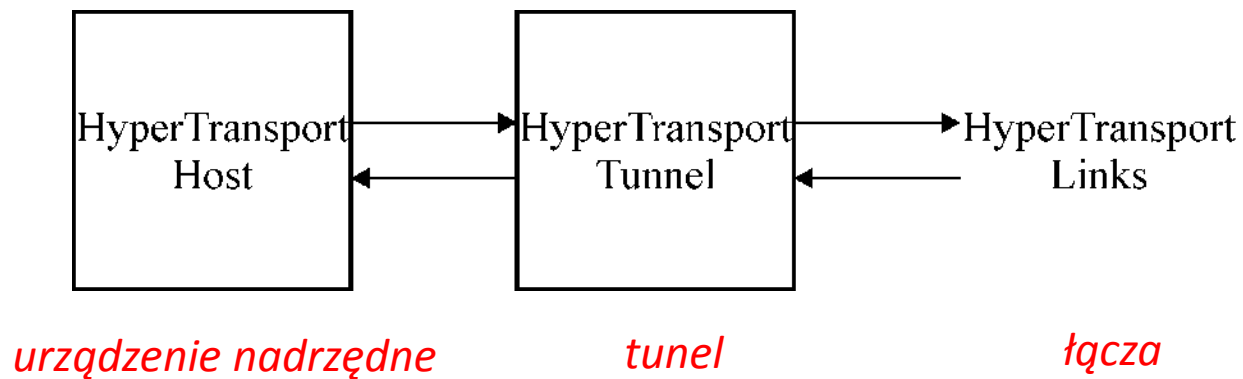
- Athlon 64 – ważniejsze cechy
 - Wbudowany sterownik DDRAM
 - Krótsze opóźnienia (80 wobec 160 ns w NorthBridge)
 - Wyższa przepustowość przy losowym dostępie
 - Kanał pojedynczy (4 GB) lub podwójny (8 GB)
 - 2.48 GBps/kanał
 - Wsparcie dla DDR
 - Mniejsza elastyczność doboru pamięci
 - Możliwe przyszłe wsparcie dla DDR2
 - Możliwy dostęp do pamięci przez mostek północy (NorthBridge)

Athlon 64

- Athlon 64 – ważniejsze cechy
 - Magistrala HyperTransport
 - Standard otwarty (w przeciwieństwie do Intel FSB)
 - Połączenia dwupunktowe, szeregowe, dwukierunkowe
 - LVDS (Low Voltage Differential Signalling) 1.2V
 - 400M do 2.8G transferów/s
 - Łącze danych 2, 4, 8, 16, 32 bitów, (nie)symetryczne
 - Przepustowość do 22.4 GBps
 - Pakiet: 4..64 B pole danych, 8..12 B nagłówek
 - Możliwa współpraca z PCI, PCI-X, PCI-Express

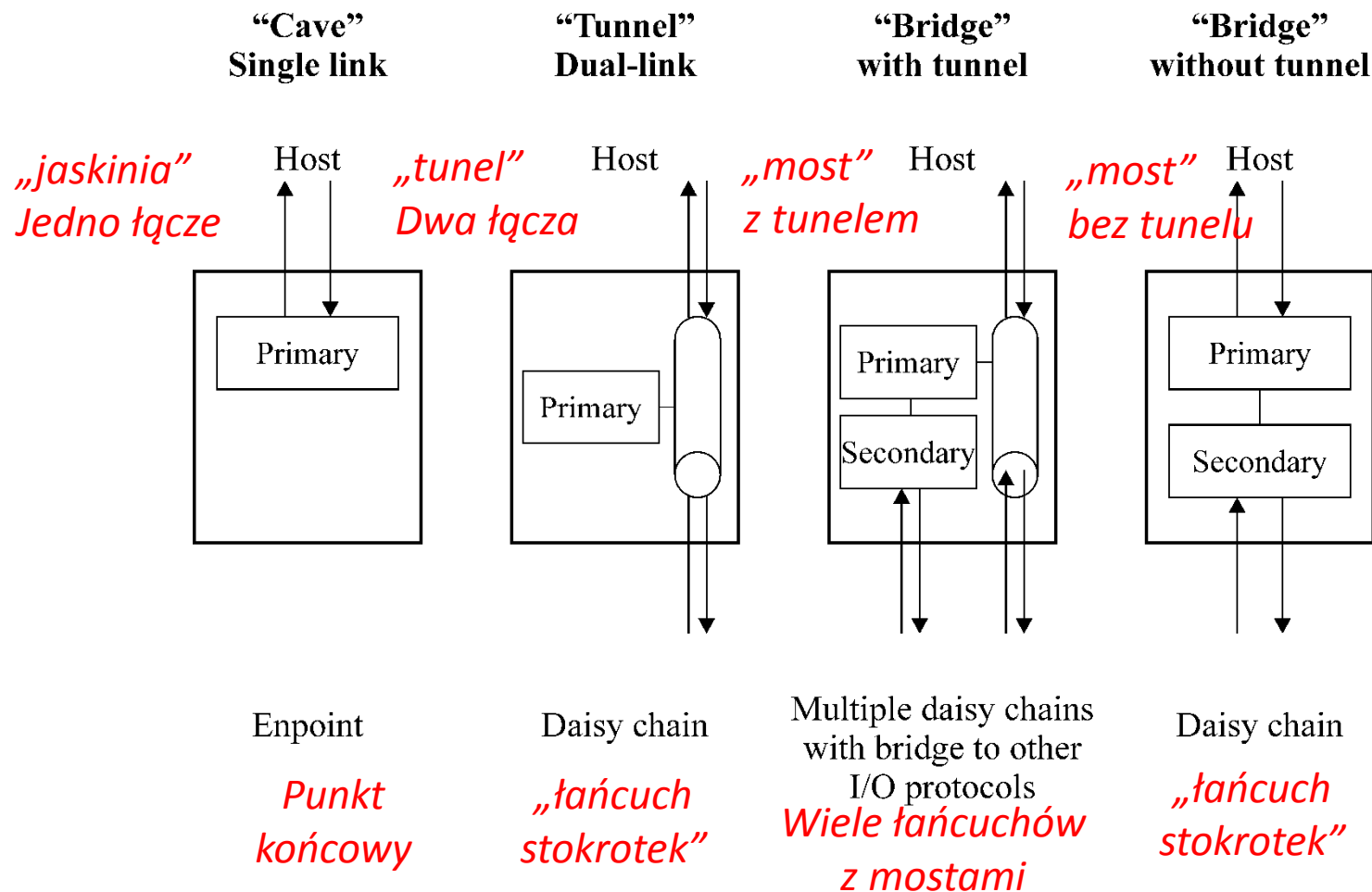
Athlon 64

- Magistrala HyperTransport Bus
 - Ogólna architektura



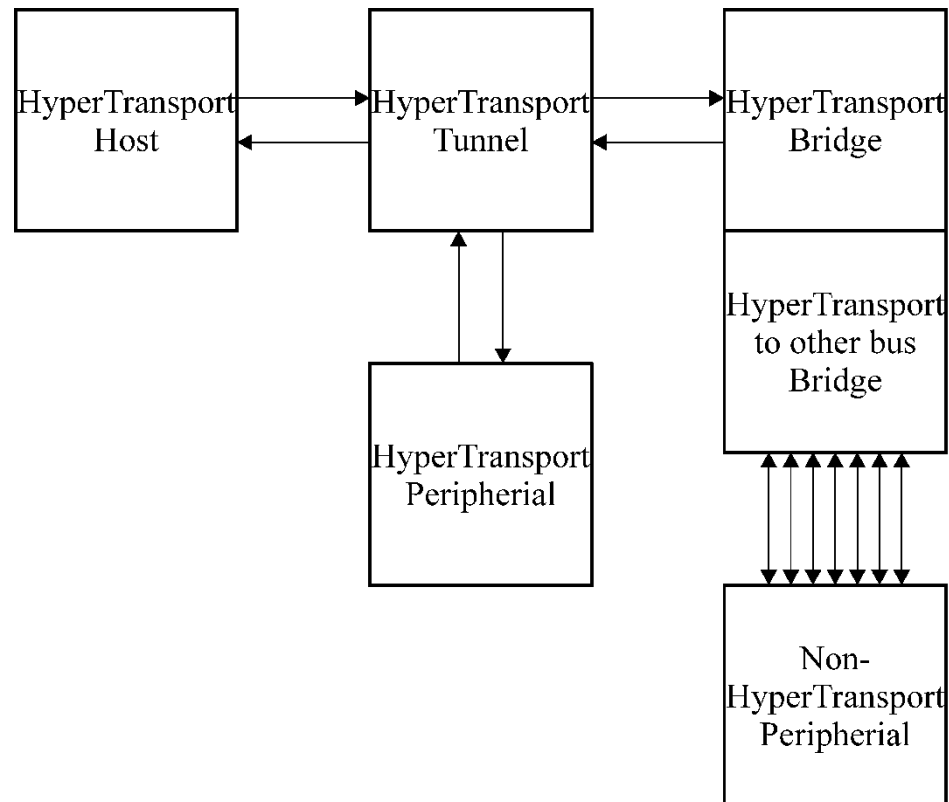
Athlon 64

- Magistrala HyperTransport
 - Konfiguracje urządzeń we-wy



Athlon 64

- Magistrala HyperTransport
 - Przykład systemu
 - Możliwa współpraca z PCI, PCI-X, PCI Express



Athlon 64

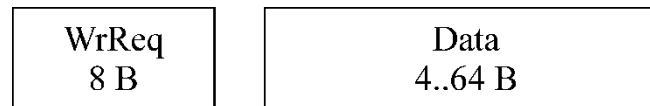
- Magistrala HyperTransport
 - Łącze
 - Ścieżka danych: 2, 4, 8, 16 lub 32 bity
 - Zegar
 - Linia sterująca
 - Każdy sygnał = para przewodów
 - Sygnały
 - CAD (command, address, data)
 - CLK – jeden na każde 8 bitów CAD
 - 2x, 4x, 8x – tylko 1 CLK
 - CTL – control (1=control, 0=data)
 - Reset, PWROK

Athlon 64

- Magistrala HyperTransport

- Format pakietu

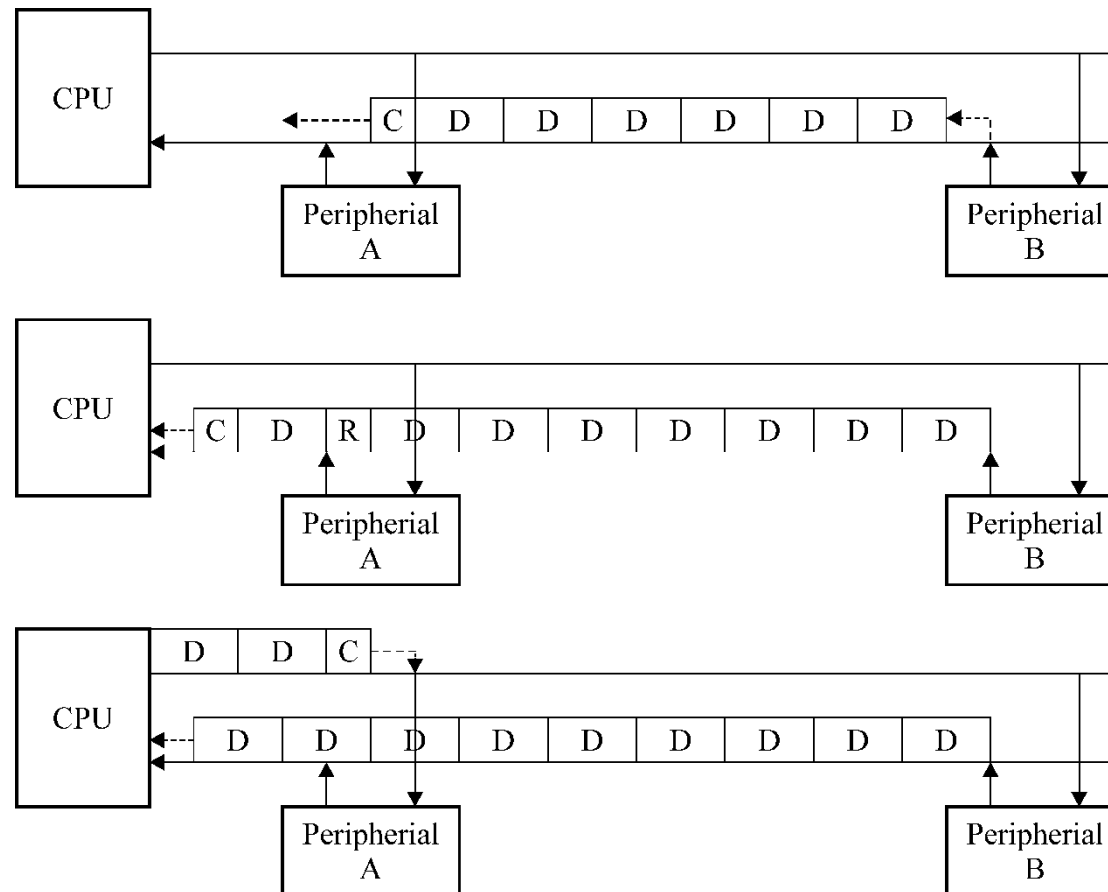
- Sterowanie – 4 lub 8 B
 - Dane – 4..64 B



- Małe opóźnienia (niski narzut protokołu)
 - Np. PCI-Express:
 - » 12-16 B – warstwa transakcji
 - » 8 B – warstwa łącza danych
 - » Kodowanie 8b/10b (20%) – warstwa fizyczna

Athlon 64

- Magistrala HyperTransport
 - Priority Request Interleaving
 - Wstawianie pakietu żądania w przesyłany ciąg danych



Athlon 64

- Magistrala HyperTransport
 - Przykładowa struktura komputera PC

