

Wykład 8

Sterowniki DMA

Bartłomiej Zieliński, PhD, DSc

Sterowniki DMA

Program:

- Funkcje sterowników DMA
- Sterowniki DMA:
 - Intel 8257, 8237
 - Zilog Z80 DMA

Sterowniki DMA

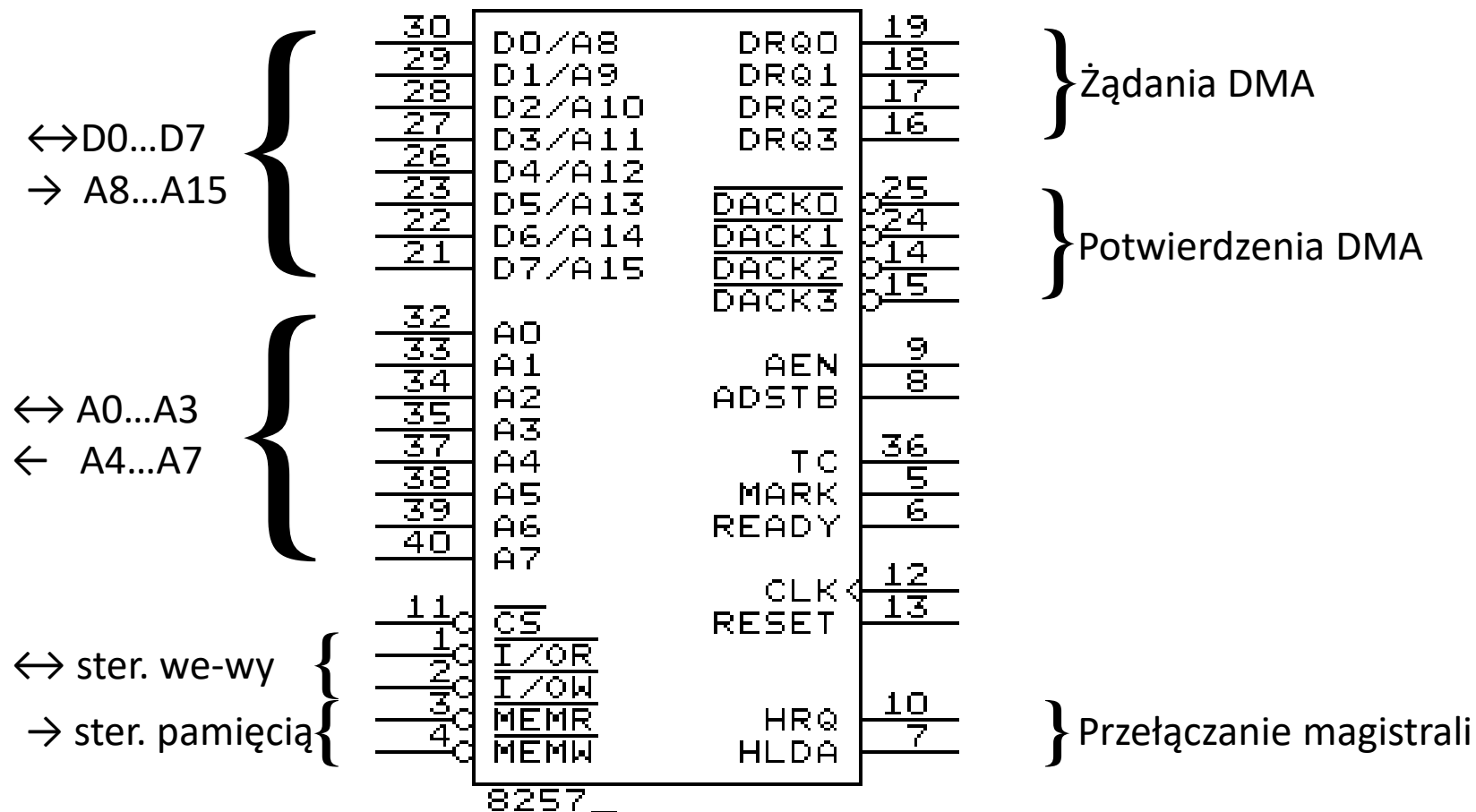
- Funkcje sterowników DMA
 - **Przesył danych między pamięcią a układami wej-wy w imieniu μp**
 - Sterowanie magistralą
 - Rozpoznawanie źródła żądania DMA
 - Nadzór priorytetów
 - Nadzór maskowania
 - Przesyły Mem $\leftrightarrow$ Mem, IO $\leftrightarrow$ IO
 - Dodatkowe przetwarzanie danych
 - Np. poszukiwanie bajtu pasującego do wzorca
 - Autoinicjalizacja

Sterowniki DMA

- Intel 8257
 - 4 niezależne kanały DMA
 - Autoinicjalizacja
 - 16-b adres pamięci
 - 14-b długość bloku (do 16KB)
 - Wystarczające dla systemów 8-bitowych
 - Statyczny lub dynamiczny przydział priorytetów
 - Multipleksowana magistrala adresowa/danych

Sterowniki DMA

- Intel 8257 – wyprowadzenia



Sterowniki DMA

- 8257 – sygnały sterujące
 - AEN – zapobiega przypadkowemu zaadresowaniu układów nie korzystających z DMA
 - ADSTB – Adres Strobe (jak ALE w 8051)
 - TC – Terminal Count – ostatni bajt bieżącego cyklu wymiany
 - Mark – impuls co 128 przesłanych bajtów

Sterowniki DMA

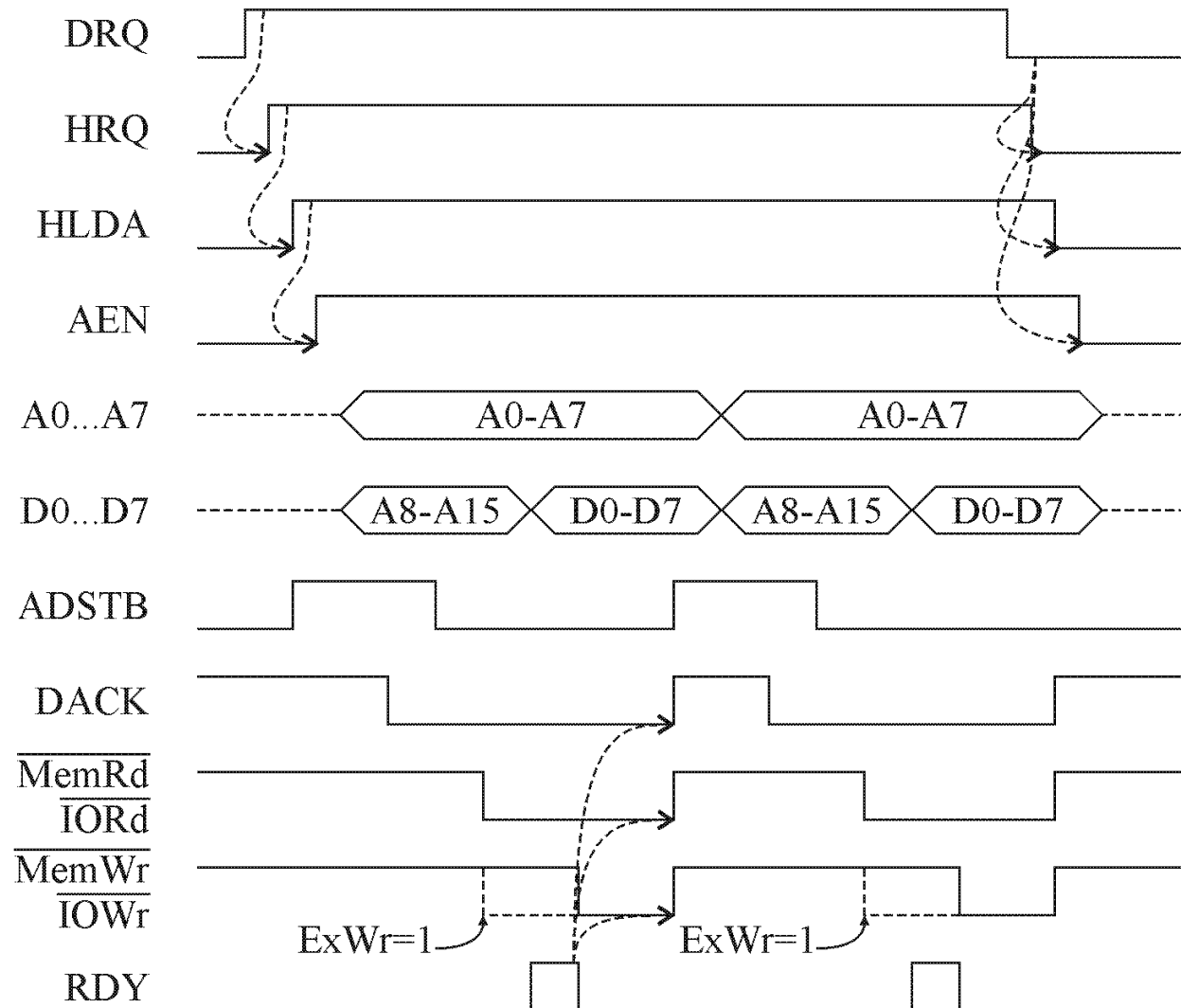
- 8257 – działania na magistrali
 - Stan pasywny
 - 8257 – typowy układ we-wy adresowany przez μp
 - Linie adresowe – wejścia
 - Linie $\overline{IOWr}$, $\overline{IORd}$ – wejścia
 - Linie $\overline{MemWr}$, $\overline{MemRd}$ – nieużywane
 - Stan aktywny
 - 8257 przejmuje kontrolę nad magistralą
 - Linie adresowe – wyjścia
 - Linie $\overline{IOWr}$, $\overline{IORd}$ – wyjścia
 - Linie $\overline{MemWr}$, $\overline{MemRd}$ – wyjścia

Sterowniki DMA

- Transmisja DMA
 - Programowanie sterownika DMA
 - Tryb i opcje
 - Długość bloku
 - Adres bufora
 - Programowanie urządzenia we-wy
 - Np. sterownik dysku: który sektor odczytać
 - Urządzenie we-wy gotowe do przesyłu DMA
 - Sterownik DMA przejmuje magistralę
 - Przesył danych
 - Oddanie magistrali μ p

Sterowniki DMA

- Intel 8257 – przesył danych



Sterowniki DMA

- Intel 8257 – programowanie
 - 9 rejestrów
 - 16-b rejestr adresowy (dla każdego kanału)
 - Naprzemienny dostęp LSB/MSB
 - 16-b rejestr długości i trybu (dla każdego kanału)
 - Naprzemienny dostęp LSB/MSB
 - 8-b rejestr sterujący (wspólny)
 - 8-b rejestr stanu (wspólny)

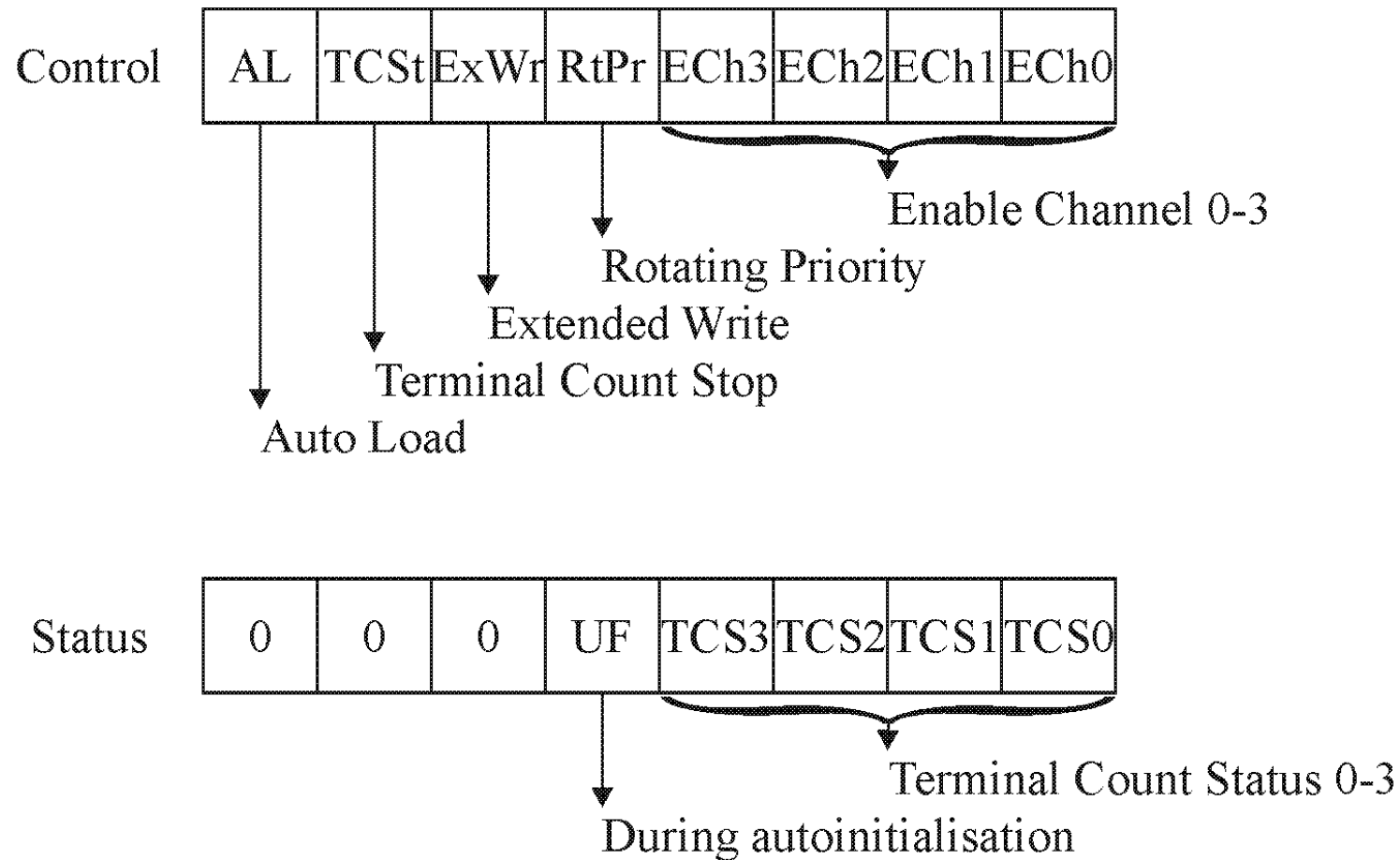
Sterowniki DMA

- Intel 8257 – programowanie

Adres	A3...A0	Rejestr
0	0000	Adres #0
1	0001	Długość/tryb #0
2	0010	Adres #1
3	0011	Długość/tryb #1
4	0100	Adres #2
5	0101	Długość/tryb #2
6	0110	Adres #3
7	0111	Długość/tryb #3
8	1000	Sterowanie/stan

Sterowniki DMA

- Intel 8257 – programowanie



Sterowniki DMA

- Intel 8257 – programowanie
 - Rejestr sterujący:
 - Każdy kanał wł/wył. indywidualnie
 - Opcjonalny priorytet rotacyjny
 - Extended Write – sygnały $\overline{\text{IOWr}}$, $\overline{\text{MemWr}}$ wytworzone wcześniej, by wykorzystać sygnał RDY
 - Terminal Count Stop – po zakończeniu przesyłu kanał kończy pracę (konieczne ponowne zaprogramowanie)
 - Auto Load – autoinicjalizacja
 - Kanał 2 – aktywny
 - Kanał 3 – zapasowy (brak możliwości użycia)
 - Po TC w kanale 2 – kopiowanie ustawień #3 → #2

Sterowniki DMA

- Intel 8257 - programowanie
 - Rejestr stanu
 - Stan Terminal Count dla każdego kanału z osobna
 - UF – podczas autonicjalizacji
 - Zapobiega przypadkowej utracie danych przy zmianie ustawień kanału 3 podczas kopiowania do kanału 2

Sterowniki DMA

- Intel 8257 – programowanie
 - Rodzaje przesyłów
 - Odczyt
 - Mem → IO
 - Zapis
 - IO → Mem
 - Weryfikacja
 - Brak przesyłu danych (sygnały Mem/IO Rd/Wd nieaktywne)
 - Sterowanie magistralą, potwierdzenie DMA jak zwykle
 - Urządzenie we-wy może przeprowadzić dodatkowe wewnętrzne akcje na danych
 - „przesył danych bez danych”

Sterowniki DMA

- Intel 8237A
 - Zgodność wyprowadzeń z 8257
 - Wyjście Mark → wejście Pin5 (=1 lub niepodłączone)
 - Wyjście TC → we-wy $\overline{EOP}$ (0 → koniec przetwarzania)
 - Więcej funkcji
 - Więcej trybów transmisji
 - Więcej rejestrów
 - Rejestry adresu i długości/trybu takie same

Sterowniki DMA

- Intel 8237A – tryby transmisji
 - Przesył pojedynczy (*Single transfer mode*)
 - Tylko pojedynczy bajt w cyklu
 - DREQ musi być aktywne do DACK
 - Gdy DREQ nadal aktywne, HRQ staje się nieaktywne i ponownie aktywne, itd.
 - Cykle DMA i μ p przeplatają się wzajemnie
 - μ p może uzyskać dostęp do magistrali
 - Brak dużych opóźnień w dostępie μ p do magistrali
 - Nieco niższa wydajność przesyłu DMA
 - Nieaktywny DREQ lub TC → koniec transmisji
 - → autonicjalizacja (jeśli tak zaprogramowano)

Sterowniki DMA

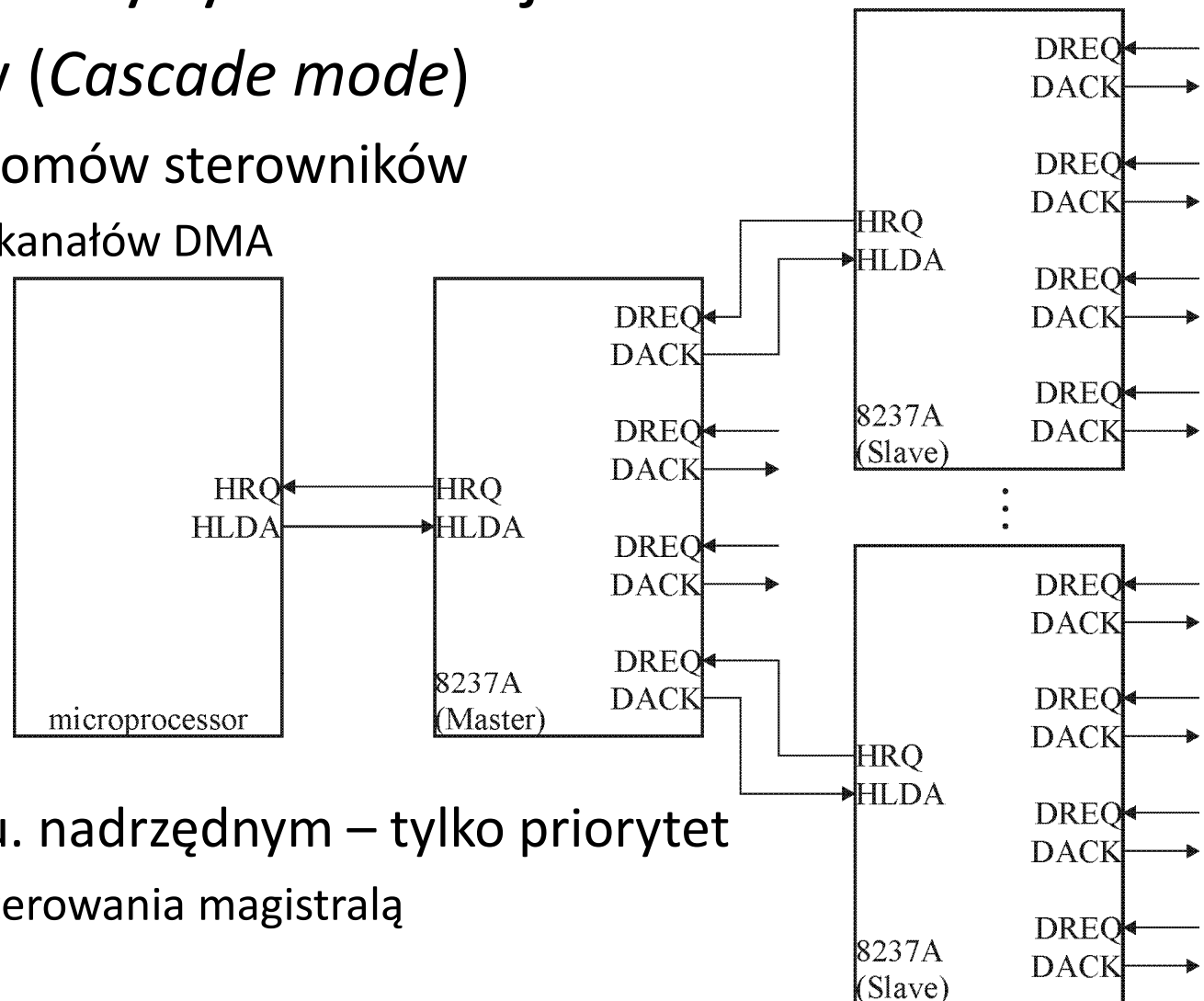
- Intel 8237A – tryby transmisji
 - Przesył blokowy (*Block transfer mode*)
 - Powtarzające się, identyczne przesysły
 - DREQ aktywny aż do DACK
 - Po DACK stan DREQ nieistotny
 - Przesył DMA trwa aż do końca
 - μp musi czekać na dostęp do magistrali
 - Najwyższa wydajność przesysłu DMA
 - TC lub $\overline{EOP}$ → koniec transmisji
 - → autonicjalizacja (jeśli tak zaprogramowano)

Sterowniki DMA

- Intel 8237A – tryby transmisji
 - Przesył na żądanie (*Demand transfer mode*)
 - Powtarzające się, identyczne przesysły
 - DREQ aktywny aż do DACK
 - Po DACK, DREQ aktywny by kontynuować
 - Przesył DMA trwa aż do końca
 - μp musi czekać na dostęp do magistrali
 - Najwyższa wydajność przesysłu DMA
 - DREQ nieaktywny → przerwa w transmisji
 - Zapamiętywany stan rejestrów kanału
 - TC lub $\overline{EOP}$ → koniec transmisji
 - → autonicjalizacja (jeśli tak zaprogramowano)

Sterowniki DMA

- Intel 8237A – tryby transmisji
 - Kaskadowy (*Cascade mode*)
 - Do 3 poziomów sterowników
 - Do 64 kanałów DMA



- Kanał w u. nadrzędnym – tylko priorytet
 - Brak sterowania magistralą

Sterowniki DMA

- Intel 8237A – funkcje
 - Przesył pamięć → pamięć
 - Kanał 0 = źródło, kanał 1 = cel
 - Start: programowe DREQ w kanale 0
 - AEN aktywny, DACK nieaktywny
 - Etapy:
 - Temp_reg = mem [kanał 0]
 - » Adres źródła: inc, dec lub stały
 - Mem [kanał 1] = temp_reg
 - » Adres celu: inc lub dec
 - $\overline{EOP}$ → koniec transmisji

Sterowniki DMA

- Intel 8237A – funkcje
 - Autoinicjalizacja
 - Możliwa w każdym kanale
 - Dodatkowe rejestry dla każdego kanału
 - Skrócone taktowanie (*compressed timing*)
 - Zmiana A8-A15 tylko w razie potrzeby
 - Krótszy impuls odczytu
 - Mniej taktów na cykl

Sterowniki DMA

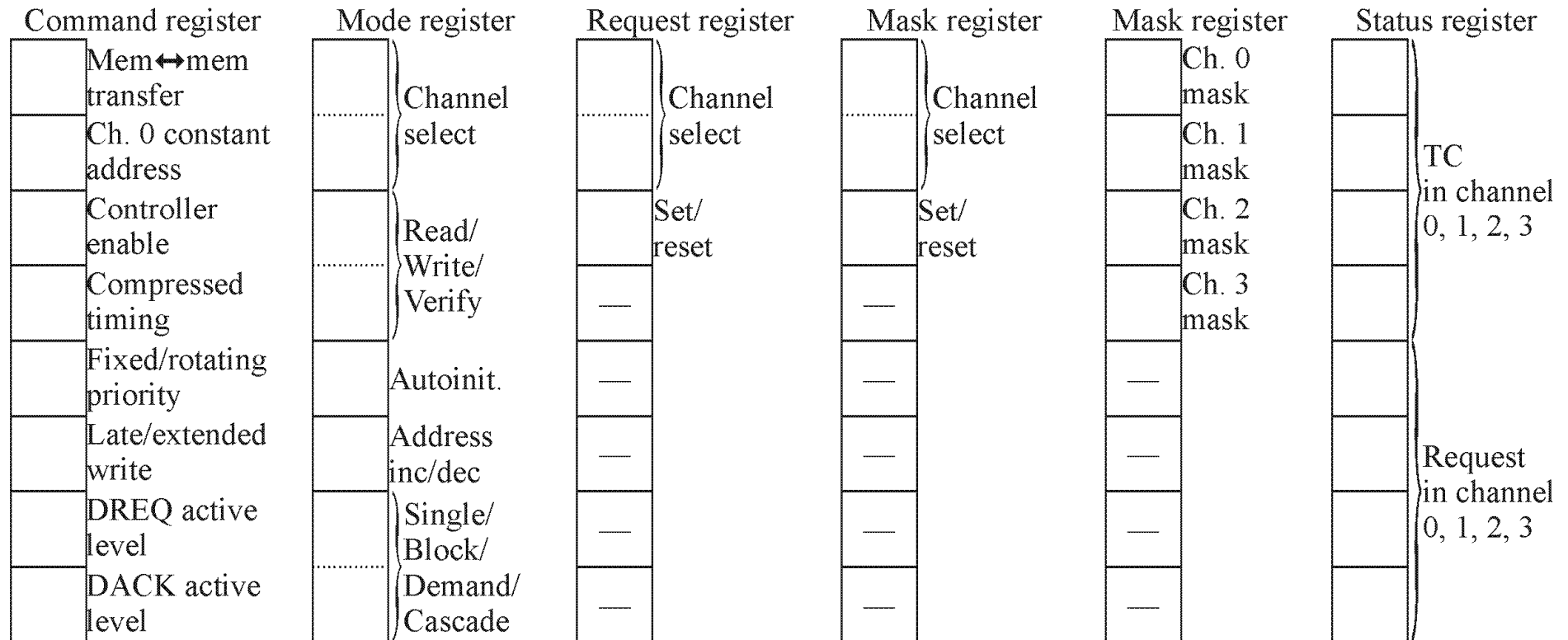
- Intel 8237A – programowanie
 - Rejestry sterujące

Adres (dec)	A3...A0	Rejestr
8	1000	Sterowanie(Wr)/Stan (Rd)
9	1001	Rozkaz (Wr)
10	1010	Maska (set/reset)
11	1011	Tryb (Wr)
13	1101	Temp (Rd)
15	1111	Maska (Wr)
12	1100	Zer. przerz. LSB/MSB (Wr)
13	1101	Zerowanie (Wr)
14	1110	Zerowanie maski (Wr)

} Dane niepotrzebne
(tylko adres)

Sterowniki DMA

- Intel 8237A – programowanie



Sterowniki DMA

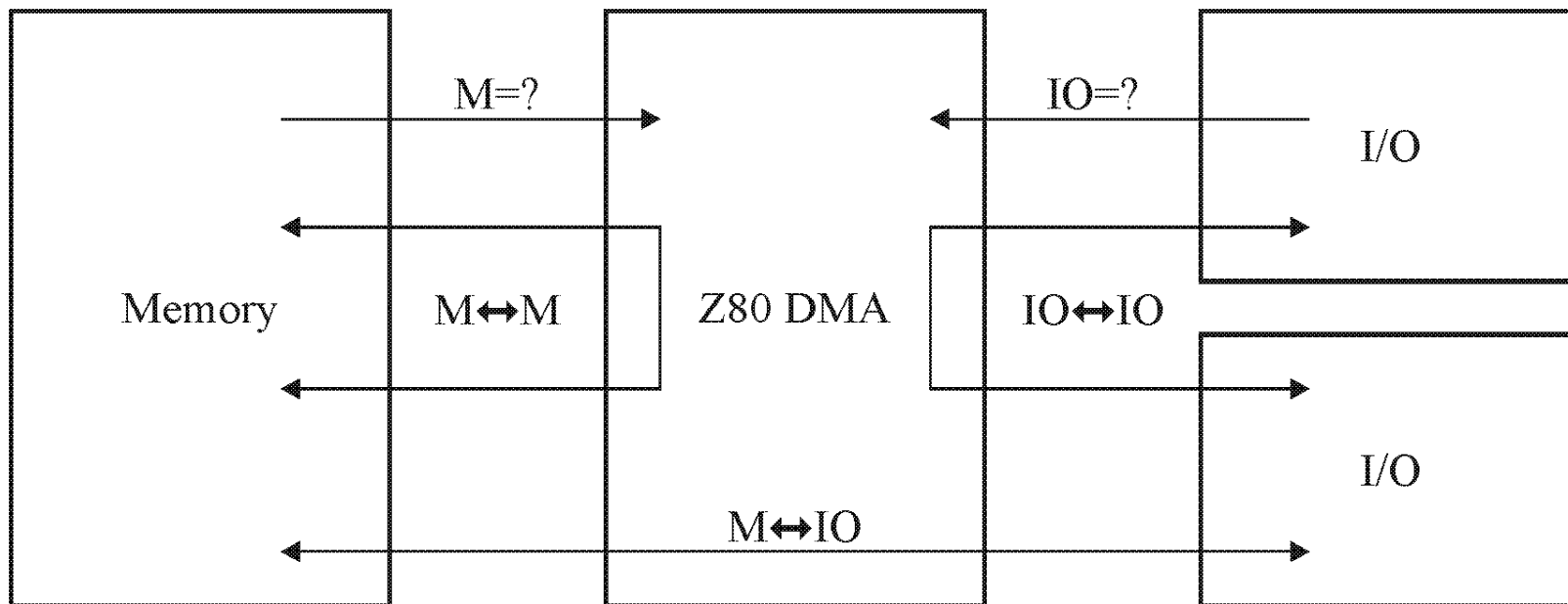
- Zilog Z80 DMA features
 - 2 DMA channels
 - 16-b Adres, 8-b data
 - DMA chain & INT chain
 - INT circuit
 - INT conditions
 - INT vector
 - Autoinitialisation possible
 - Programmable „mark” signal (1÷256 bytes)
 - $\overline{\text{INT}}$ used as a „mark”
 - No conflict during DMA cycle

Sterowniki DMA

- Zilog Z80 DMA – cechy

- Operacje:

- Transmisja
 - Porównanie
 - Transmisja z porównaniem
 - Mem $\leftrightarrow$ IO
 - Mem $\leftrightarrow$ Mem
 - IO $\leftrightarrow$ IO

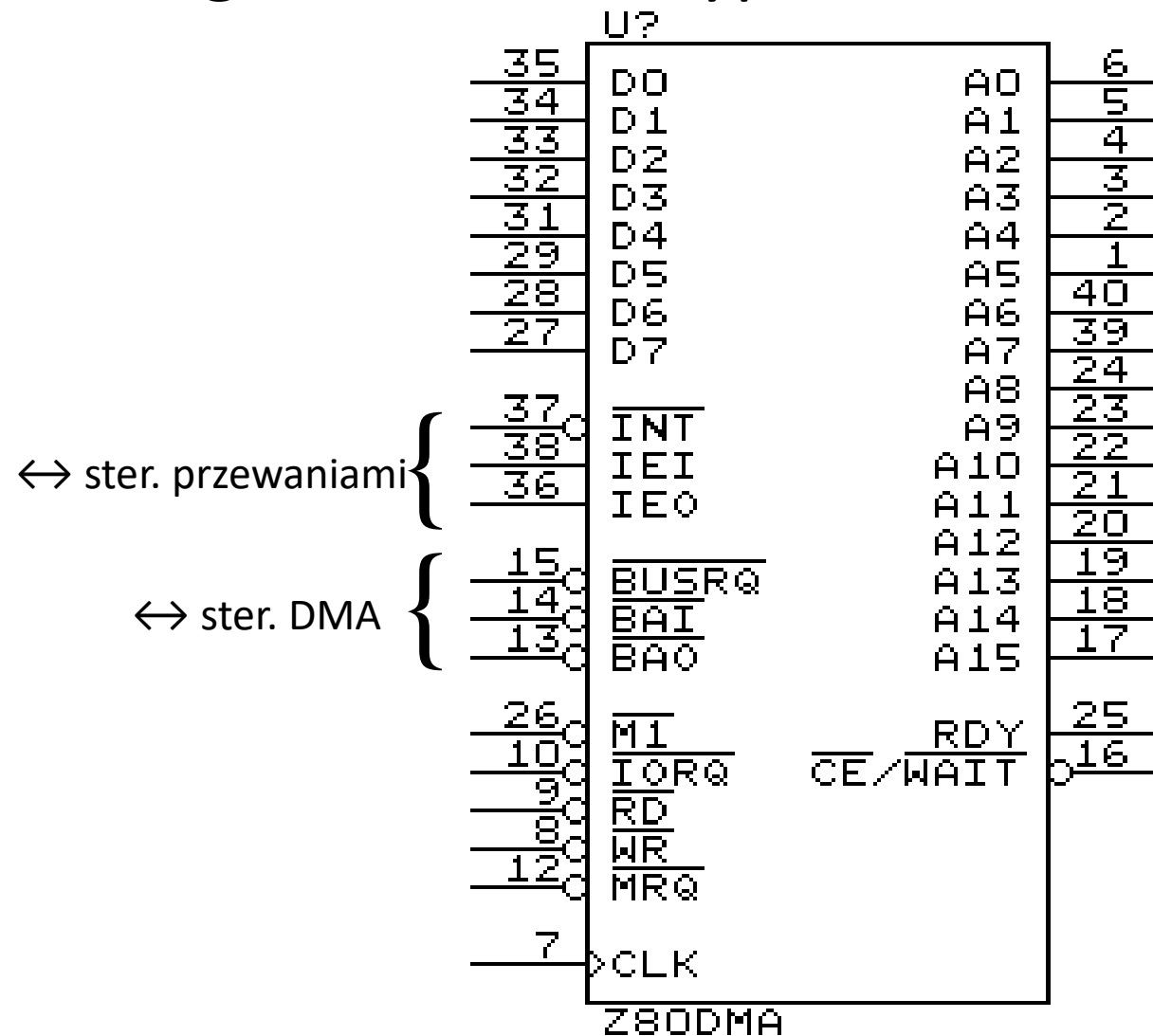


Sterowniki DMA

- Zilog Z80 DMA – tryby pracy
 - Bajtowy (*single mode, byte-at-a-time mode*)
 - Pojedynczy bajt na cykl
 - Zwolnienie magistrali i ponowne żądanie
 - Burst mode (*demand mode*)
 - Aż do braku aktywności RDY
 - Ciągły (*block mode*)
 - Do końca bloku lub znalezienia wzorca
 - Nieaktywność RDY → przerwa w DMA

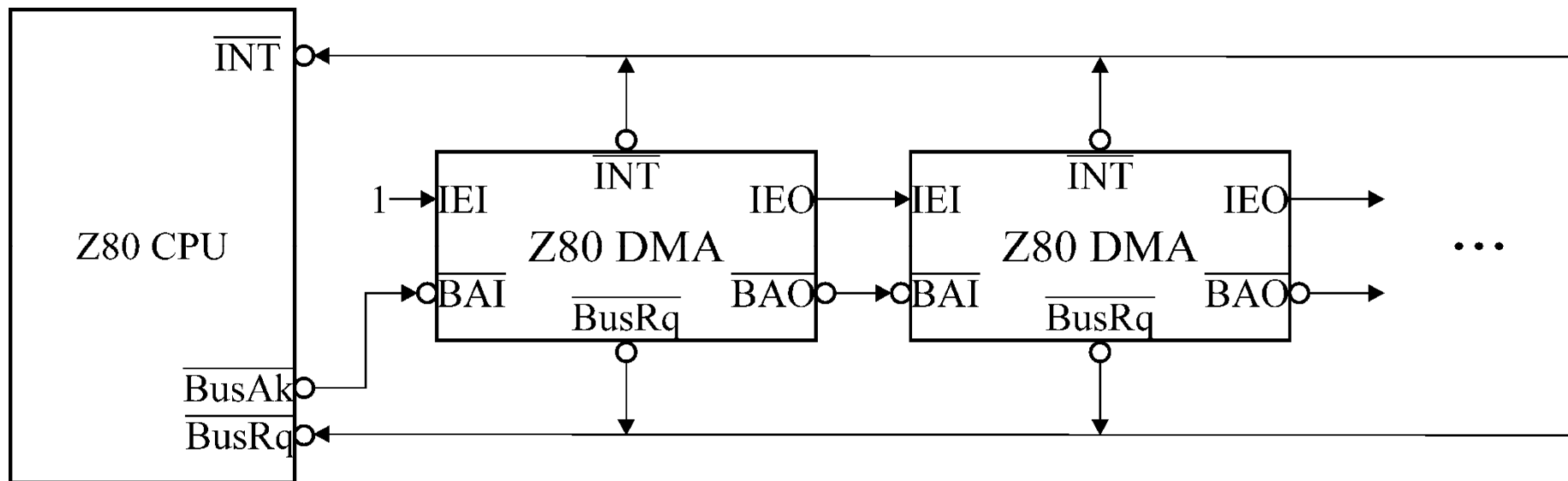
Sterowniki DMA

- Zilog Z80 DMA – wyprowadzenia



Sterowniki DMA

- Zilog Z80 DMA
 - łańcuch DMA
 - łańcuch przerwań



Sterowniki DMA

- Zilog Z80 DMA – przerwania
 - Aktywność RDY (= żądanie DMA)
 - Znaleziono wzorzec
 - Koniec przesyłu
 - Znaleziono wzorzec na końcu bloku
- Zilog Z80 DMA – programowanie
 - 7 podstawowych + 14 dodatkowych rej. zapisu
 - 7 rejestrów stanu
 - *Odczyt sekwencyjny w ściśle określonej kolejności!*