

Mikroprocesor Z80:

Wyprowadzenia zewnętrzne:

A0-A15	magistrala adresowa
D0-D7	magistrala danych
CLK (Φ)	sygnał zegarowy
/RESET	zerowanie mikroprocesora
/RFSH	wyjście odświeżania pamięci (dolna połowa szyny adresów zawiera adres odświeżania, generowany tylko podczas cyklu pobrania rozkazu)
/M1	wyjście aktywne podczas cyklu M1 (pierwszy cykl maszynowy, pobranie i dekodowanie rozkazu)
/INT	wejście przerwań maskowalnych aktywne poziomem niskim
/NMI	wejście przerwań niemaskowalnych aktywne opadającym zboczem
/HALT	procesor wykonał rozkaz HALT i czeka na przerwanie lub reset (wykonuje cyklicznie rozkaz NOP generując sygnał odświeżania)
/MREQ	odwołanie do pamięci
/IORQ	odwołanie do wejścia-wyjścia
/WR	zapis
/RD	odczyt
/WAIT	wejście wymuszające dodatkowe cykle odczytu testowane przy drugim takcie zegarowym (opadające zbocze)
/BUSRQ	wejście żądania przejęcia magistrali
/BUSAk	wyjście potwierdzenia zwolnienia magistrali

Tryby przerwań:

Stan linii przerywających INT oraz NMI jest testowany na ostatnim narastającym zboczu sygnału zegarowego w cyklu rozkazowym. Przerwanie NMI ma priorytet nad INT.

Przyjęcie przerwania niemaskowalnego – wywołanie podprogramu pod adresem 66h.

Przerwania maskowalne – przyjęcie powoduje wygenerowanie specjalnego przedłużonego cyklu M1.

Tryb 0

Procesor traktuje pobraną daną jako normalny rozkaz – najczęściej podaje się jednobajtowy rozkaz RST który wywołuje podprogram spod adresu 00h, 08h, 10h, 18h, 20h, 28h, 30h lub 38h. W kodzie rozkazu na trzech bitach zapisany jest numer wybierający adres procedury obsługi.

Tryb 1

Wywołany jest podprogram spod adresu 38h

Tryb 2

Odczytany bajt jest traktowany jako mniej znacząca połowa adresu w tablicy wektorów przerwań (najmłodszy bit=0). Bardziej znacząca połowa jest zwarta w rejestrze I. Procesor dokonuje następnie odczytu dwóch bajtów spod wskazanego adresu i traktuje je jako adres podprogramu obsługi przerwania.

Żądanie dostępu do magistral:

Jeśli inne urządzenie, przykładowo kontroler DMA, chce przejąć kontrolę nad magistralami systemu uaktywnia linię BUSRQ. Sygnał BUSRQ jest testowany przez procesor przy końcu każdego cyklu maszynowego. Ma priorytet nad przerwaniem. Przy aktywnym stanie na linii BUSRQ procesor ustawia magistrale danych, adresową i linie RD, WR, IORQ oraz MREQ w stan wysokiej impedancji i potwierdza ten fakt sygnałem BUSAK.