

Wykład 13

Mikrokomputery jedoukładowe rodziny AVR Część 1 Architektura

Bartłomiej Zieliński, PhD, DSc

AVR (1)

Program:

(dzisiaj)

- Rodziny AVR
- Struktura AVR
- Organizacja pamięci, stos
- Porty we-wy

(za tydzień)

- Wbudowane układy we-wy

AVR (1)

- Właściwości
 - Architektura harwardzka
 - 16-b słowo pamięci programu
 - Rozkazy 16/32-b, stała długość kodu rozkazu
 - 8-b słowo danych
 - Zegar 1÷16 MHz
 - Obudowy 8, 20, 28, 40, 84 wyprowadzeń
 - Niektóre AVR – możliwa zewnętrzna pamięć danych
 - Niektóre AVR – rozkład wyprowadzeń zgodny z 8051
 - \overline{EA} , \overline{PSEN} niedostępne
 - » Cała pamięć programu jest wewnętrzna
 - ALE dostępny
 - » Możliwość dołączenia zewnętrznej pamięci danych

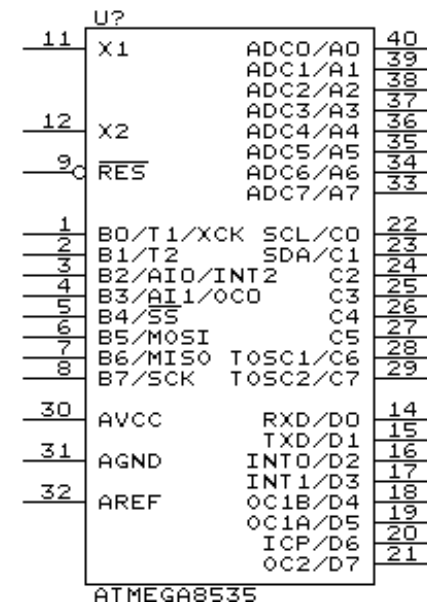
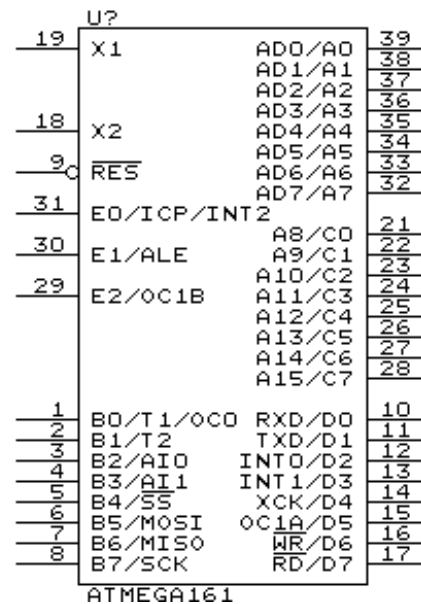
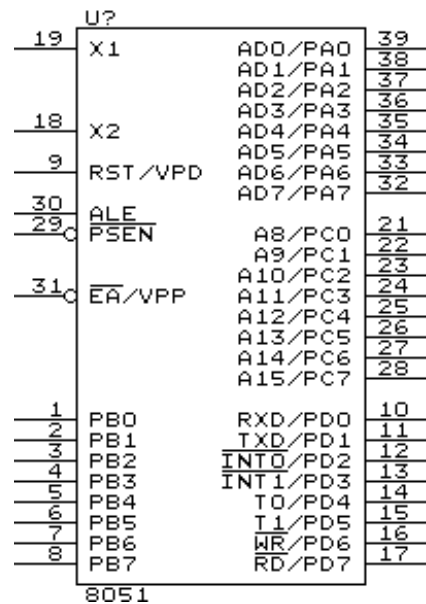
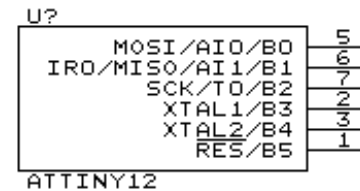
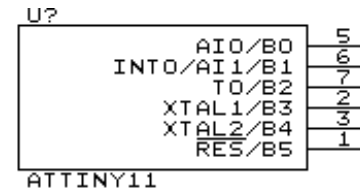
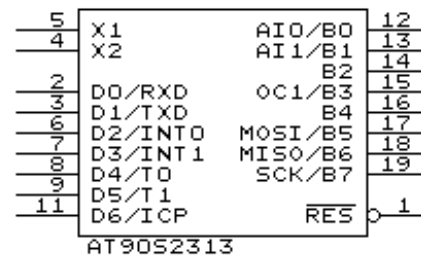
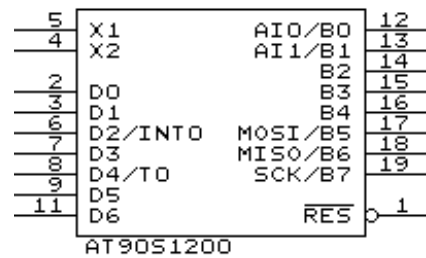
AVR (1)

- Rodziny AVR

Family	Flash [K]	EEPROM [B]	SRAM [B]	IO pins	Pins	Int's	Ext int's
„podst.”	1÷8	128÷512	0÷512	3÷32	8, 20, 28	2÷15	1÷2
Mega AVR	8÷128	512÷4K	512÷4K	32÷54	40, 64	16÷23	2÷17
Tiny AVR	1÷2	0÷256	0÷128	6÷16	8, 20, 28	4÷11	1÷8
Xmega	8-384	1K÷4K	1K÷32K	34÷78	32÷100		

AVR (1)

- Przykładowe rozkłady wyprowadzeń AVR

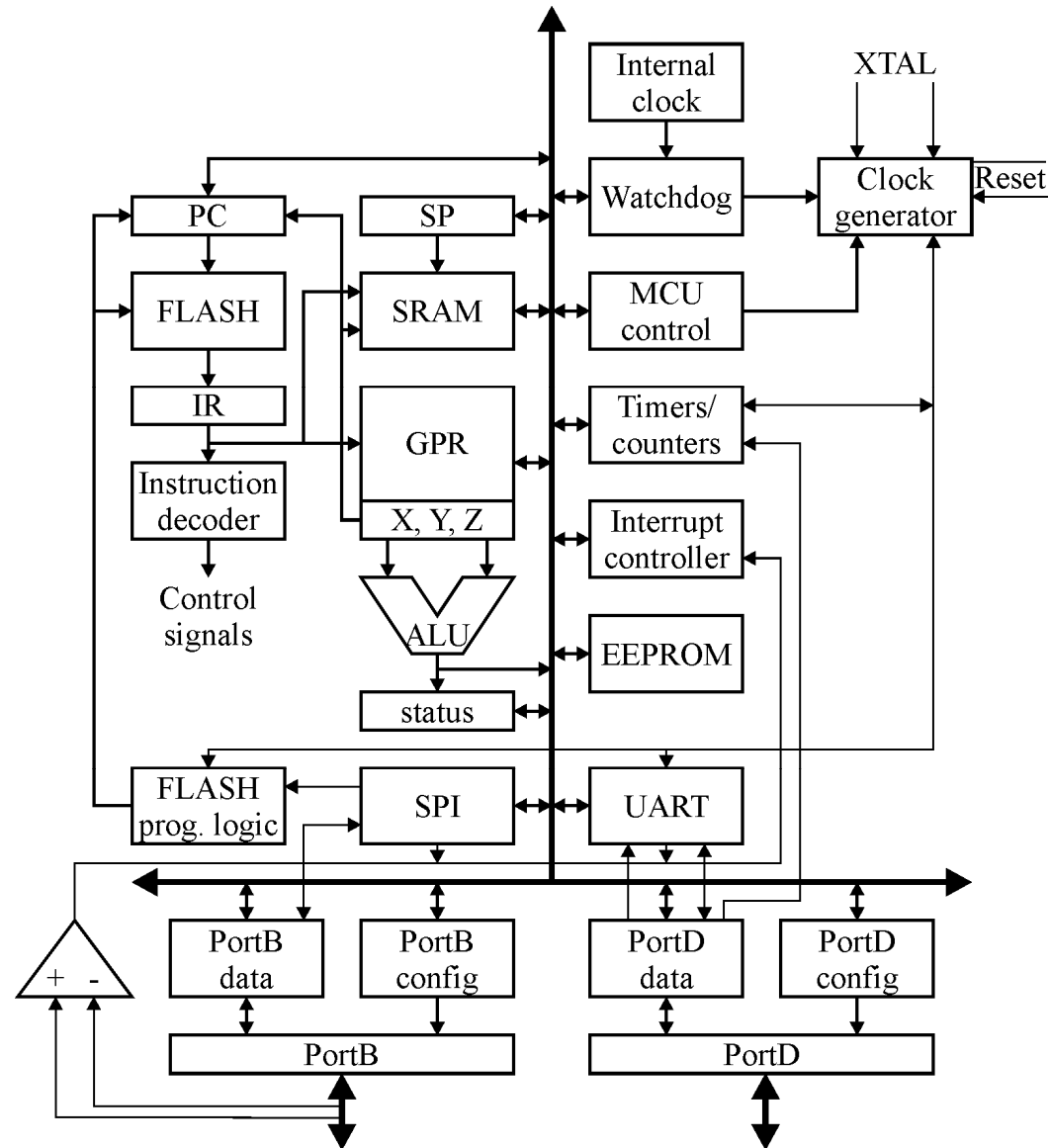


AVR (1)

- Właściwości AT90S2313
 - 118 rozkazów
 - 2K FLASH, programowalna przez SPI (1000 cykli)
 - 128 B RAM, 128 B EEPROM (100000 cykli)
 - 32 rejestry ogólnego przeznaczenia
 - 15 linii we-wy ($I_{OL}=I_{OH}=20$ mA \rightarrow bezpośrednie sterowanie LED)
 - $V_{CC}=2.7\div 6$ V (4 MHz wer.), $4\div 6$ V (10 MHz wer.)
 - Struktura całkowicie statyczna ($f_{min}=0$)
 - System przerwań z przerwaniami zewnętrznymi
 - 2 tryby obniżonego poboru mocy

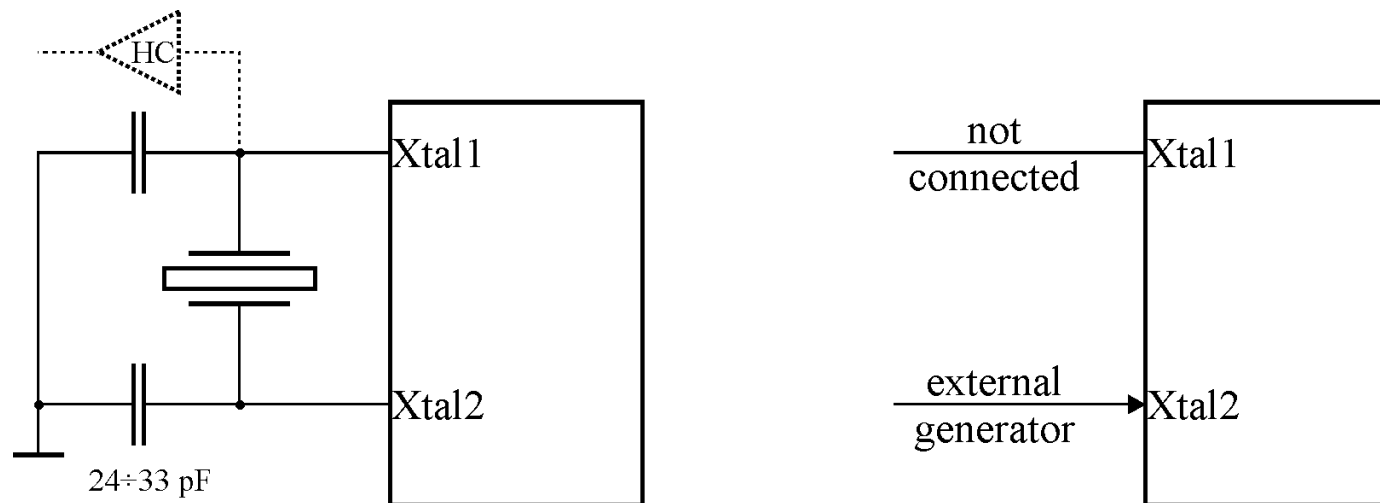
AVR (1)

- Struktura
AT90S2313



AVR (1)

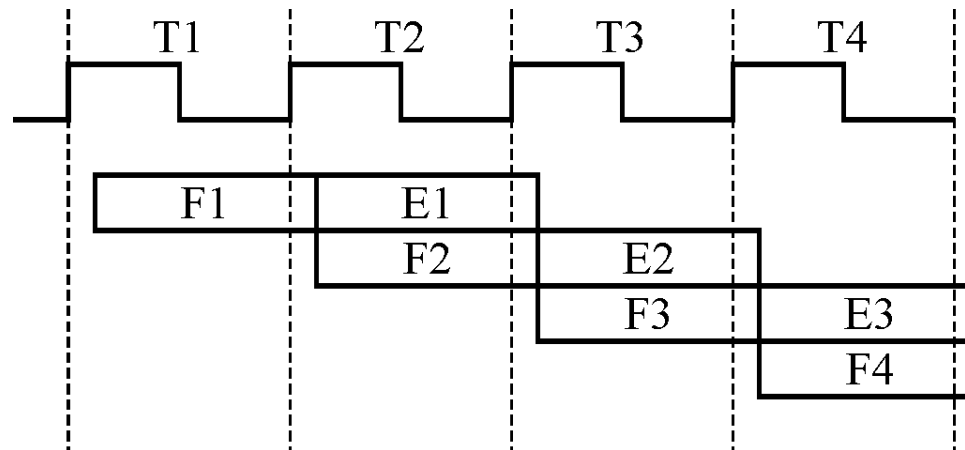
- AVR – zegar, cykle maszynowe
 - Wytwarzanie sygnału zegarowego
 - Zegar systemowy



- Zegar układu nadzorującego
 - Wewnętrzny układ RC, ok. 1 MHz

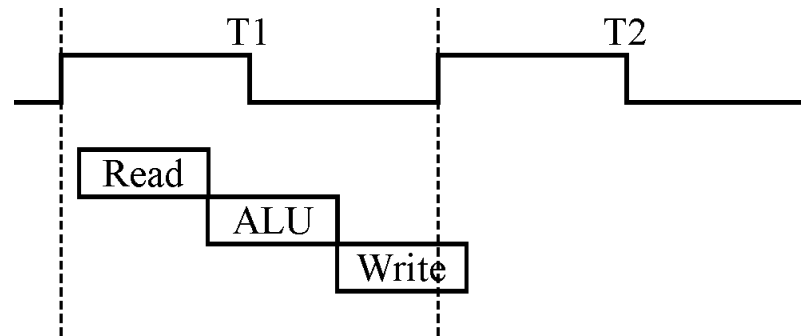
AVR (1)

- AVR – zegar, cykle maszynowe
 - Częstotliwość zegara nie podzielona
 - *Czy wewnątrz jest mnożnik częstotliwości?*
 - *Czasowe przesunięcie sygnałów*
 - *Wysoka prędkość działania*
 - *Ale brak oficjalnej informacji*

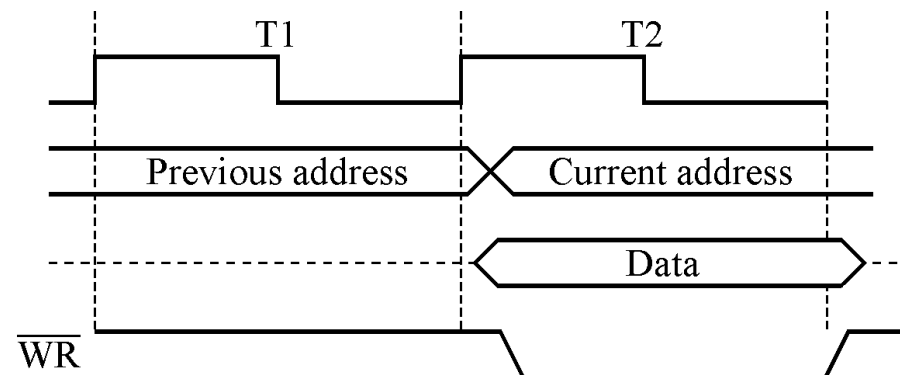


AVR (1)

- AVR – zegar, cykle maszynowe
 - Rozkaz wykonywany w jednym cyklu



- Rozkaz z dostępem do wewn. pamięci danych

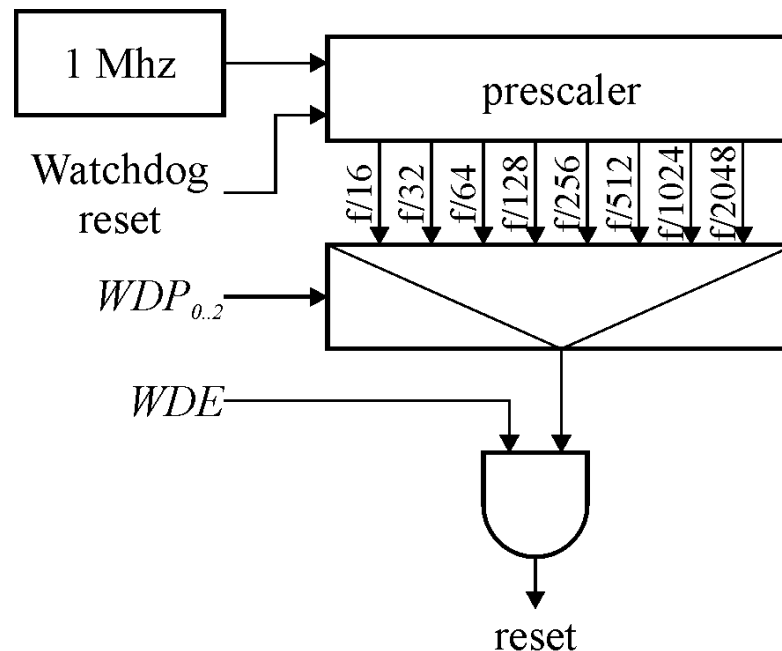


AVR (1)

- AVR – układ nadzorujący

- Rejestr WDTCR

- WDTOE – zapobiega przypadkowemu wyłączeniu
 - WDTOE=1 → WDE=0; WDTOE zeruje się po $4 T_{clk}$
 - WDE – wł. (1)/wył. (0) układu nadzorującego
 - WDP_{0..2} – wybór preskalera (16 μ s ÷ 2 ms)



AVR (1)

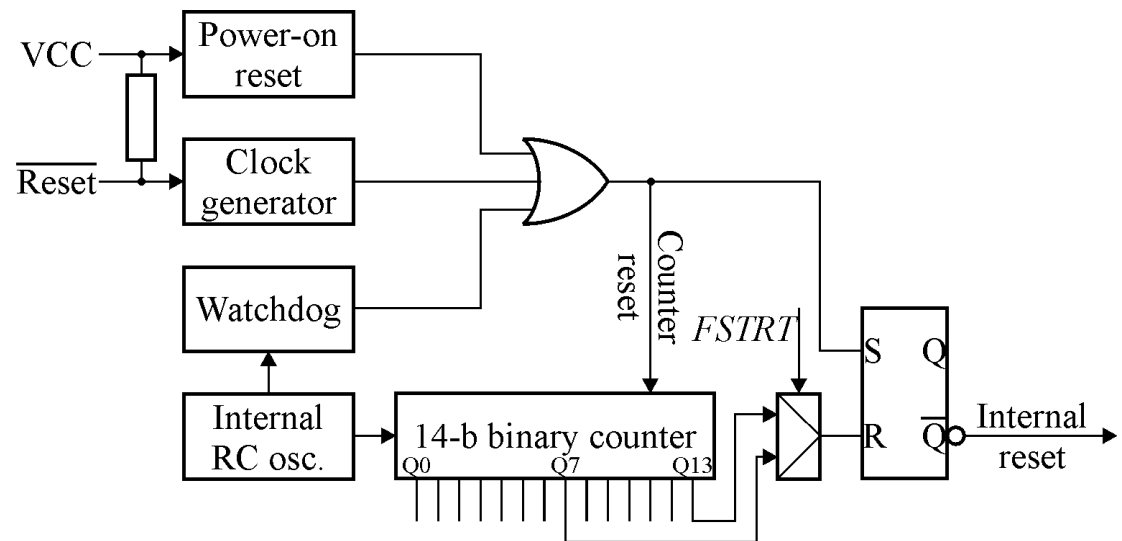
- AVR – zerowanie

- Przyczyny:

- *Power-on Reset* – V_{CC} poniżej poziomu V_{POT}
 - *External Reset* – wejście $\overline{\text{Reset}}=0 \geq 50 \text{ ns}$
 - *Watchdog Reset* – jeśli ukł. nadz. nie wyzerowany na czas

- Czas trwania

- FSTRT w FLASH
 - 16 ms/0.28 ms



- W niektórych AVR, np. Attiny, może być inaczej

AVR (1)

- Rejestry AVR
 - 32×8-b rejestry uniwersalne
 - Brak wyróżnionego akumulatora
 - Zmniejszenie liczby przesyłów międzyrejestrowych
 - Prawie reguła pełnej dowolności
 - Dowolny rejestr, dowolny rozkaz, dowolny argument
 - 3×16-b rejestry indeksowe
 - Pary rejestrów
 - X: R27:R26; Y: R29:R28; Z: R31:R30
 - Wsparcie języków wysokiego poziomu
 - Np. wskazanie na 2 argumenty i wynik
 - Tryby adresowania postinkrement./predekrement.
 - Niektóre AVR mają tylko 1 8-b rejestr indeksowy (Z)
 - Np. AT90S1200, niektóre 8-wyprowadzeniowe itp.

AVR (1)

- Rejestry AVR

- Rejestr STATUS

- I – globalna blokada przerwań (int.ack → 0; reti → 1)
 - T – pośredniczy w przesłaniach bitów
 - H – przeniesienie połówkowe (użyte w BCD)
 - S – znak (w U2); $S = N \oplus V$
 - V – przepiętnienie (in U2)
 - N – wynik ujemny (in U2)
 - Z – zero
 - C – przeniesienie

AVR (1)

- Pamięć danych AVR

- 32 rejestry

- 3×16-b rejestry indeksowe

- Rejestry specjalne (SFR)

- Adresowane jako pamięć lub we-wy

- We-wy: \$00÷\$3F

- Pamięć: \$20÷\$5F

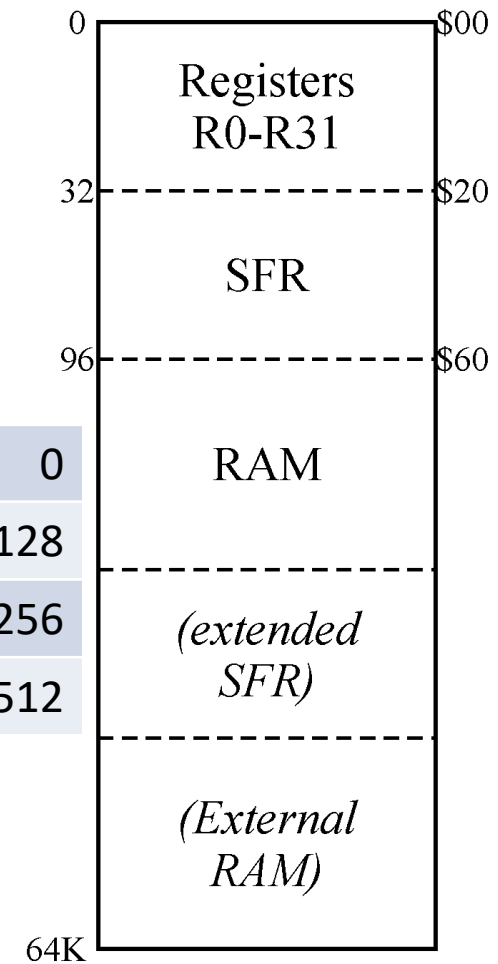
- RAM (jeśli jest) →

- Rozszerzone SFR

- Jeśli nie dość miejsca w obszarze SFR

- Pamięć zewnętrzna

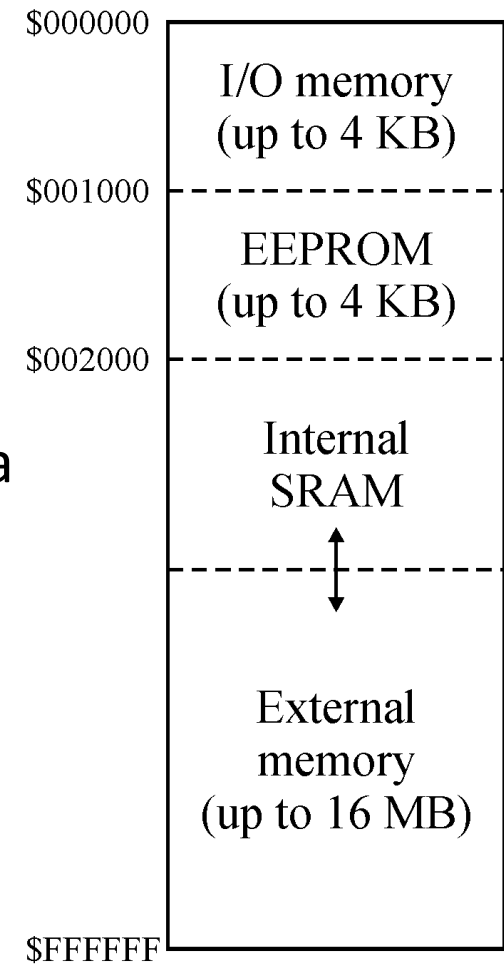
- Jeśli może być dołączona



AT90S1200	0
AT90S2313	128
AT90S4414	256
AT90S8515	512

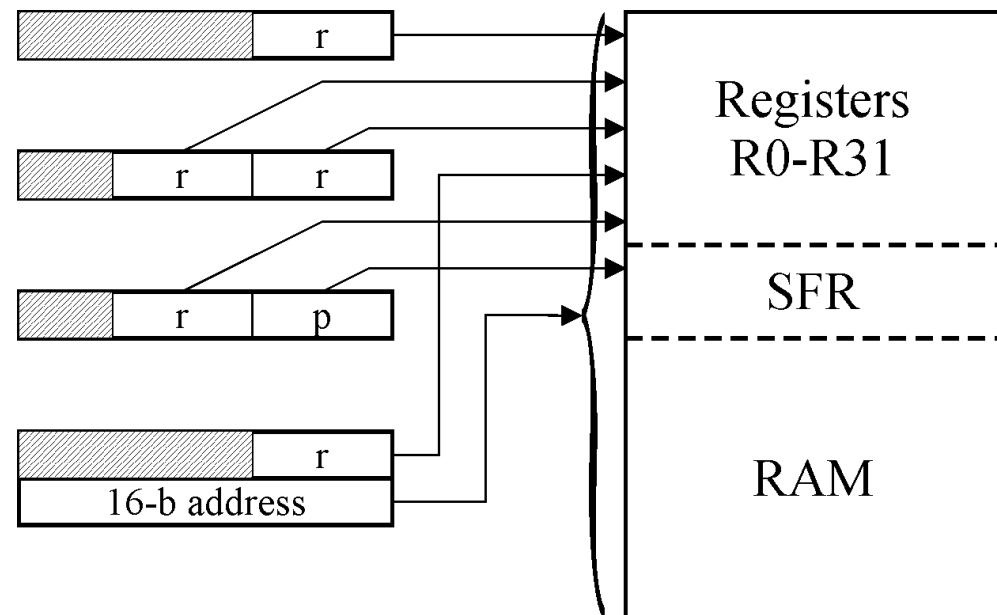
AVR (1)

- Pamięć danych w rodzinie xmega
 - 24-b przestrzeń adr. (poj. 16 MB)
 - 32 rejestry
 - 3×16-b rejestry indeksowe
 - Dodatkowe rejestry
 - RAMPX, RAMPY, RAMPZ – bity 16..23 dla rejestrów X, Y, Z
 - RAMP = RAM page?
 - RAMPD – rozsz. adr. bezpośredniego
 - EIND – rozsz. pośrednie (skoki, wywołania) dla rejestru Z



AVR (1)

- Pamięć danych AVR
 - Tryby adresowania – bezpośrednie
 - Bezpośrednie rejestrowe
 - `inc R0`
 - Bezp. 2 rejestrów
 - `or R1, R2`
 - Bezp. we-wy
 - `out PortB, R3`
 - Bezp. danych
 - `lds R4, $65`



AVR (1)

- Pamięć danych AVR
 - Tryby adresowania – pośrednie

- Pośrednie z przemieszczeniem

– `ldd R6, Y+5`

- Pośrednie

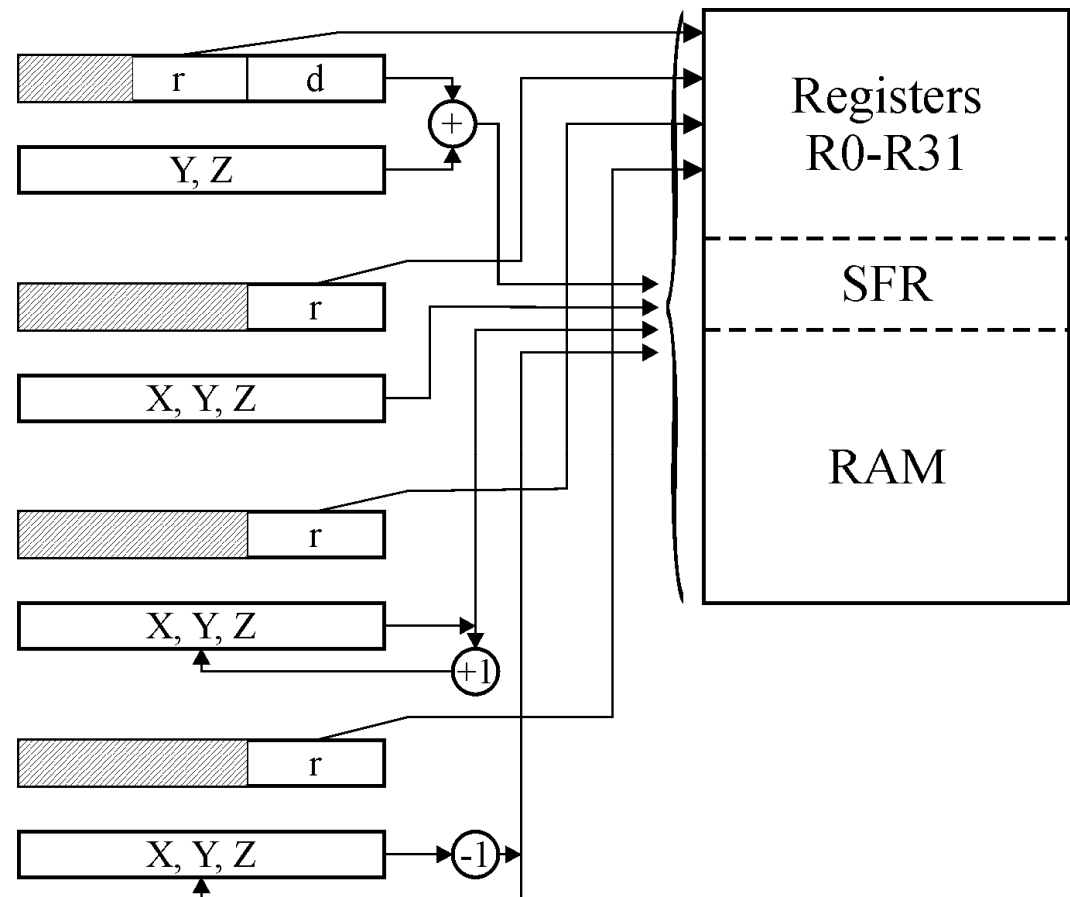
– `st Y, R7`

- Pośrednie z postinkrementacją

– `st Y+, R7`

- Pośrednie z predekrementacją

– `st -Y, R7`

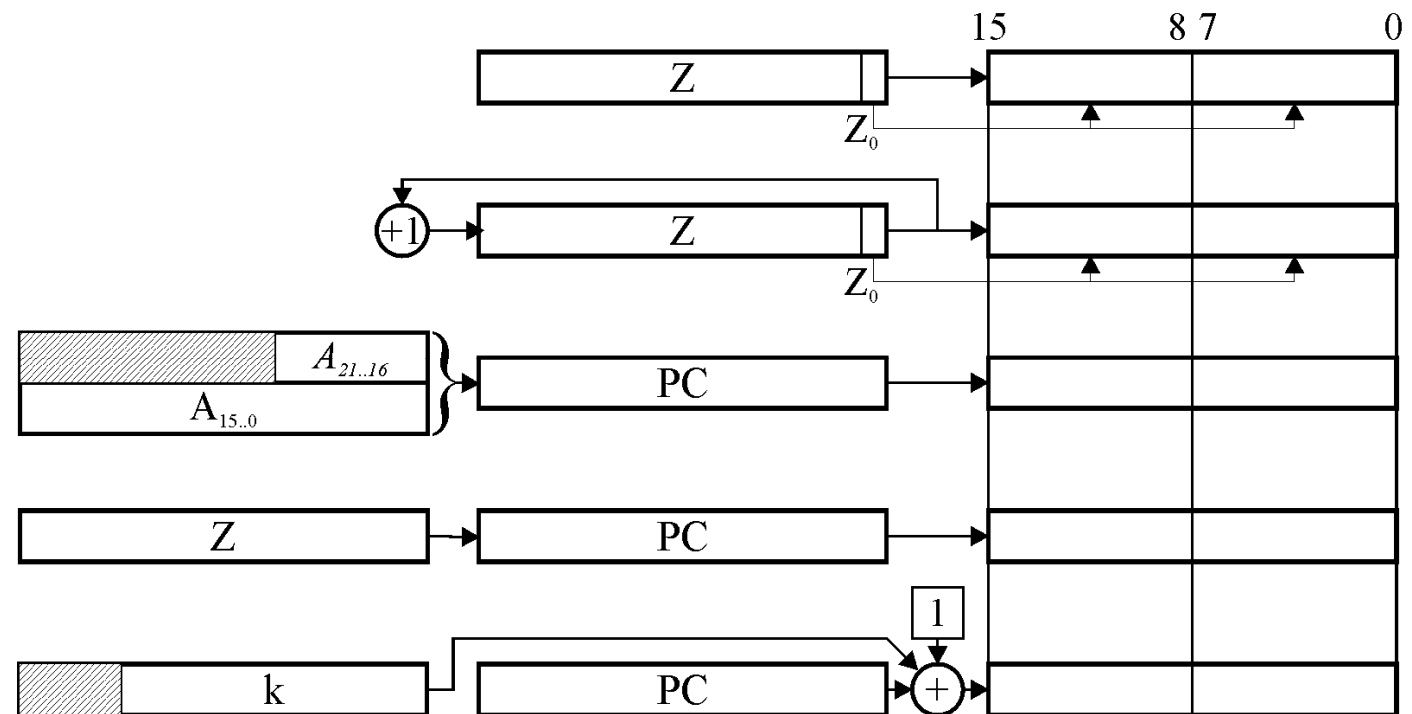


AVR (1)

- Pamięć programu AVR

- Tryby adresowania

- Stałych (lpm); ROM[Z]→R0
- Pośrednie programu (ijmp, icall); skok do [Z]
- Względne programu (rjmp, rcall)



AVR (1)

- AVR – stos
 - Gdy wewnętrzna pamięć danych jest (RAM>0)
 - Stos mapowany w pamięci
 - Inicjalizacja SP przy starcie systemu
 - Dostępny programowo, `push/pop` dostępne
 - Gdy wewnętrznej pamięci danych brak (RAM=0)
 - Stos sprzętowy jako odrębna pamięć
 - Np. 90S1200: 3 komórki×9 bitów
 - Niedostępny programowo, brak rozkazów `push/pop`
 - Przepętnienie nie sprawdzane → nie zgłaszane
 - Tylko adres powrotu dla wywołań i przerwań

AVR (1)

- AVR – EEPROM

- Rejestry:

- EECR – rejestr sterujący
 - EEMWE – 1 → *master write enable*
 - » Auto. zerowanie po $4 T_{clk}$
 - EEWE – 1 → rozpoczęcie zapisu
 - EERE – 1 → rozpoczęcie odczytu
- EEDR – rejestr danych
- EEAR – rejestr adresowy

- !!! EEAR=0 po zerowaniu

- Przypadkowy zapis do komórki 00h
 - Blokada zerowania podczas zapisu do EEPROM
 - Komórka 00h w EEPROM nieużywana

AVR (1)

- AVR – porty we-wy
 - Rejestry:
 - DD – kierunek danych (do odczytu/zapisu)
 - Port – rejestr (do odczytu/zapisu)
 - Pin – stan wyprowadzenia (nie rejestr – tylko odczyt)
 - Konfiguracja portów

DD	Port	Kierunek	Pull-up	Uwagi
0	0	Wejście	Nie	Wysoka impedancja wejścia
0	1	Wejście	Tak	Wejście/źródło prądu (zewnątrznie pull-down)
1	0	Wyjście	Nie	Wyjście dwustanowe – stan 0
1	1	Wyjście	Nie	Wyjście dwustanowe – stan 1

AVR (1)

- AVR – porty we-wy
 - PortB
 - 8-b, prąd wyjściowy 20 mA
 - Funkcje alternatywne
 - PB0: AIN0 – wejście dodatnie komparatora analogowego
 - PB1: AIN1 – wejście ujemne komparatora analogowego
 - PB3: OC1 – wyjście porównania (zgodność porównania) w TC1
 - PB5: MOSI – wejście SPI
 - PB6: MISO – wyjście SPI
 - PB7: SCK – zegar SPI
- } programowanie szeregowe

AVR (1)

- AVR – porty we-wy
 - PortD
 - 8-b, prąd wyjściowy 20 mA
 - Funkcje alternatywne
 - PD0: RxD – wejście UART
 - PD1: TxD – wyjście UART
 - PC2: Int0 – przerwanie zewnętrzne
 - PD3: Int1 – przerwanie zewnętrzne
 - PD5: T0 – wejście zegarowe TC0
 - PD6: T1 – wejście zegarowe TC1
 - PD7: ICP – wejście wyzwolenia przechwytywania TC1
 - Struktura zbliżona do PB5

AVR (1)

- AVR – porty we-wy
 - PortA (np. AT90S4414, AT90S8515)
 - Funkcje alternatywne
 - Magistrala multipleksowana adres/dane
 - » (mniej znacząca połowa adresu)
 - Struktura bardziej złożona niż PB5
 - PortC (np. AT90S4414, AT90S8515)
 - Funkcje alternatywne
 - Magistrala adresowa
 - » (bardziej znacząca połowa adresu)
 - Struktura nieco bardziej złożona niż PB5