

Wykład 9

Magistrale i interfejsy szeregowo

Bartłomiej Zieliński, PhD, DSc

Magistrale i interfejsy szeregowo

Program:

- Magistrale szeregowo i równoległe
 - *Które lepsze?*
- Wybrane rozwiązania
 - **I²C**, SMBus
 - **SPI**, Microwire
 - **1-Wire**

Magistrale i interfejsy szeregowo

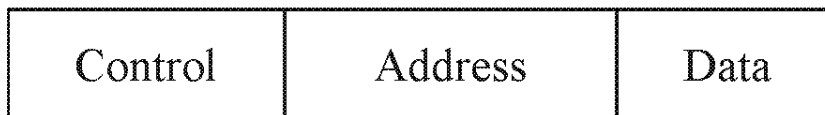
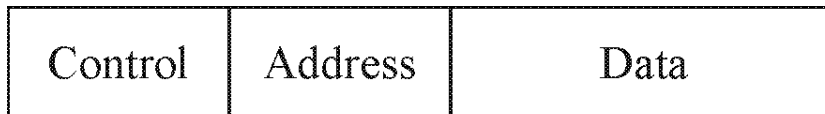
Magistrala szeregowo	Magistrala (klasyczna) równoległa
Mała liczba połączeń	Duża liczba połączeń
Proste prowadzenie ścieżek na płytce, łatwy projekt, mała powierzchnia płytki	Złożone prowadzenie ścieżek, trudny projekt, duża powierzchnia płytki
Mało lub brak dodatkowych elementów Dekodowanie na poziomie logicznym	Dużo elementów dodatkowych (bufory, rejestry, dekodery, bramki itp.) Dekodowanie na poziomie fizycznym
Niska prędkość transmisji (niższa niż możliwości μp)	Wysoka prędkość transmisji (zgodna z możliwościami μp)
Złożona wymiana danych (gdy impl. programowa)	Prosta wymiana danych (1-3 rozkazy/wymianę)
Nie zajmują przestrzeni adresowej	Zajmują przestrzeń adresową
Łatwa i tania ochrona przed zakłóceniami	Trudna i kosztowna ochrona przed zakłóceniami
Dynamiczne przypisywanie bitów dla adresów, danych i sterowania	Statyczne przypisanie bitów adresowych, sterujących i danych

Nie zawsze niska; nawet gdy niska, wystarcza w wielu zastosowaniach

Z drugiej strony – po co mamy przestrzeń adresową?

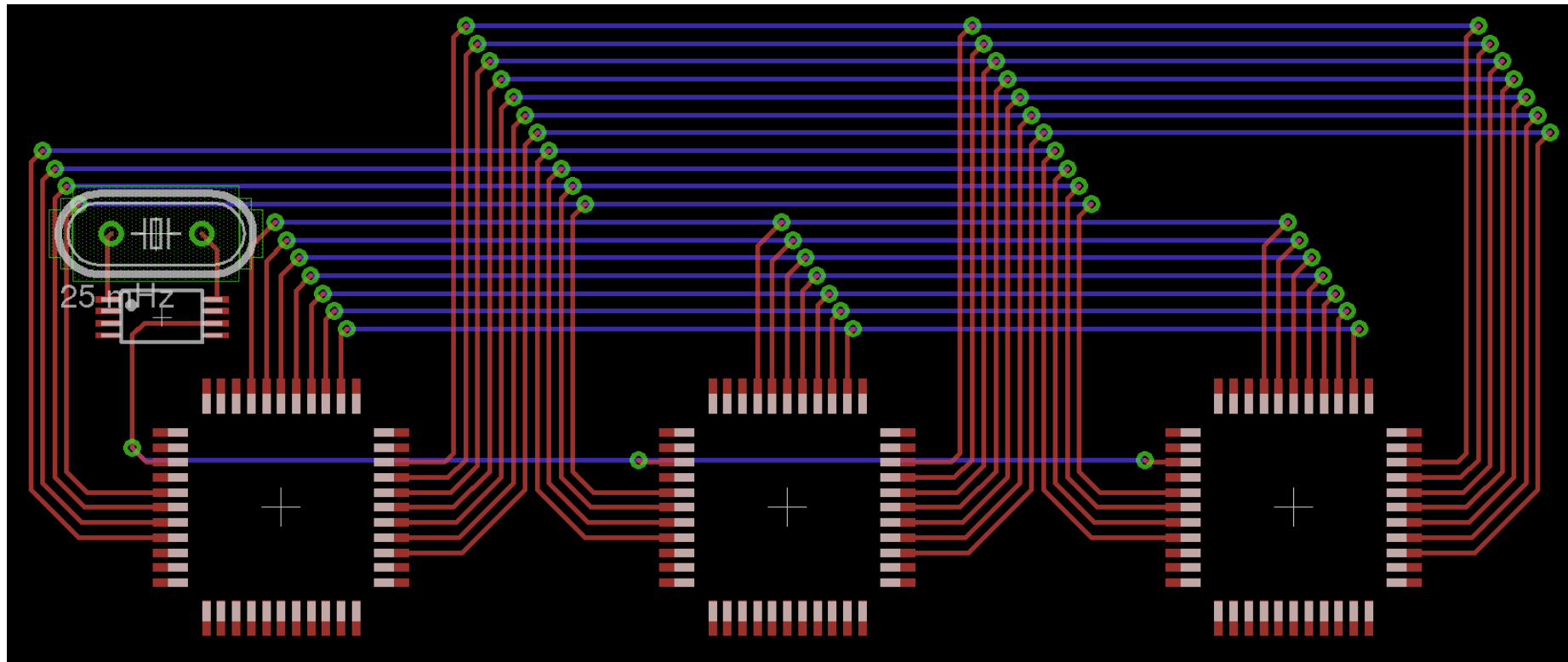
Magistrale i interfejsy szeregowo

- Magistrale szeregowo i równoległe
 - Statyczne i dynamiczne przypisanie bitów



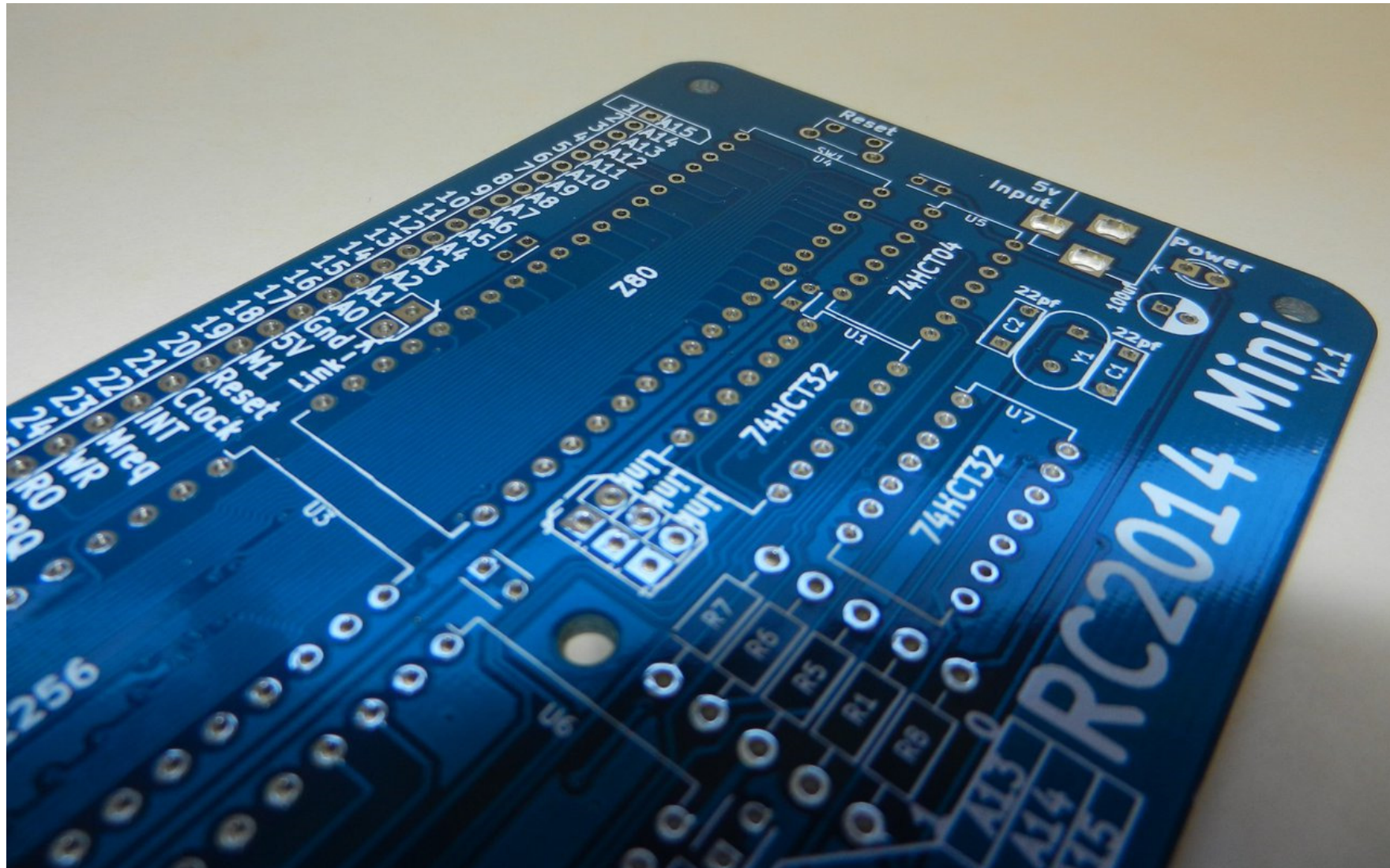
Magistrale i interfejsy szeregowe

- Przykład magistrali równoległej



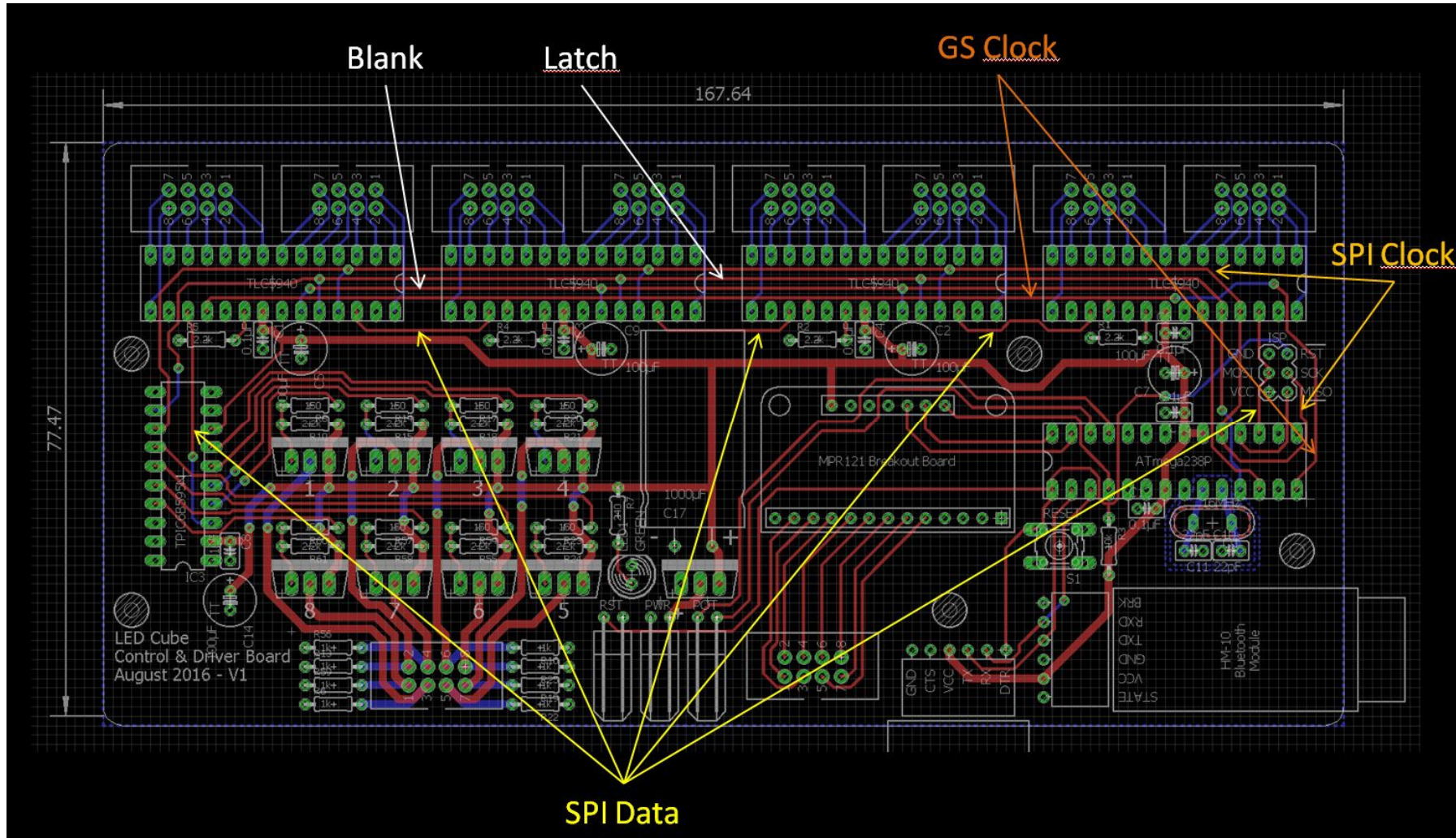
Magistrale i interfejsy szeregowe

- Przykład magistrali równoległej (2)



Magistrale i interfejsy szeregowe

- Przykład magistrali szeregowej



Magistrale i interfejsy szeregowe

- Przykładowe rozwiązania (1)

- I²C

- 2 linie 2-kierunkowe, otwarty kolektor
 - Dwukierunkowość naprzemienna (*half-duplex*)
 - Do 3.4 Mb/s (typowo 100 kb/s)
 - $f_{\min}=0$ (zero!)
 - Układ(y) nadrzędne i podrzędne
 - Unikalny ID dla każdego układu

- SMBus

- Zbliżone do I²C
 - Do 100 kb/s
 - $f_{\min}=10$ kHz, ograniczony czas wykonania operacji

Magistrale i interfejsy szeregowo

- Przykładowe rozwiązania (2)
 - SPI
 - 4 linie jednokierunkowe
 - Dwukierunkowość jednoczesna (*full-duplex*)
 - Transmisja synchroniczna, nawet ponad 10 Mb/s
 - 4 tryby pracy
 - Układy nadrzędne i podrzędne
 - Brak ID urządzeń – adresacja fizyczna
 - Microwire
 - Zbliżone do SPI
 - Do 650 kb/s
 - Zgodne z jednym z trybów SPI

Magistrale i interfejsy szeregowo

- Przykładowe rozwiązania (3)
 - 1-Wire
 - 1 (jedna!) linia, wspólna dla transmisji i zasilania
 - Dwukierunkowość naprzemienna (*half-duplex*)
 - Do 16,3 / 115,2 kb/s
 - Układ nadrzędny i podrzędny
 - Unikalny ID wśród wszystkich urządzeń 1-Wire

Magistrale i interfejsy szeregowe

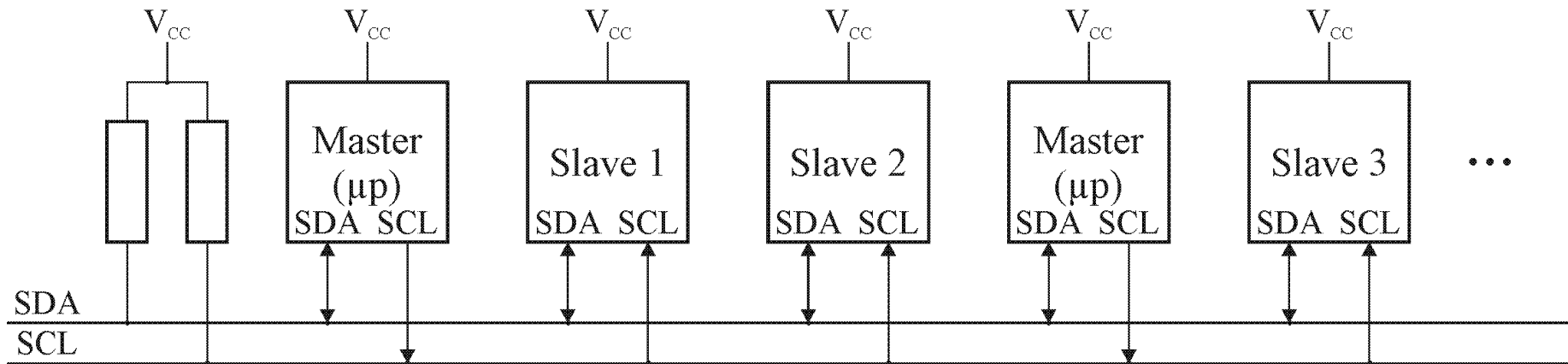
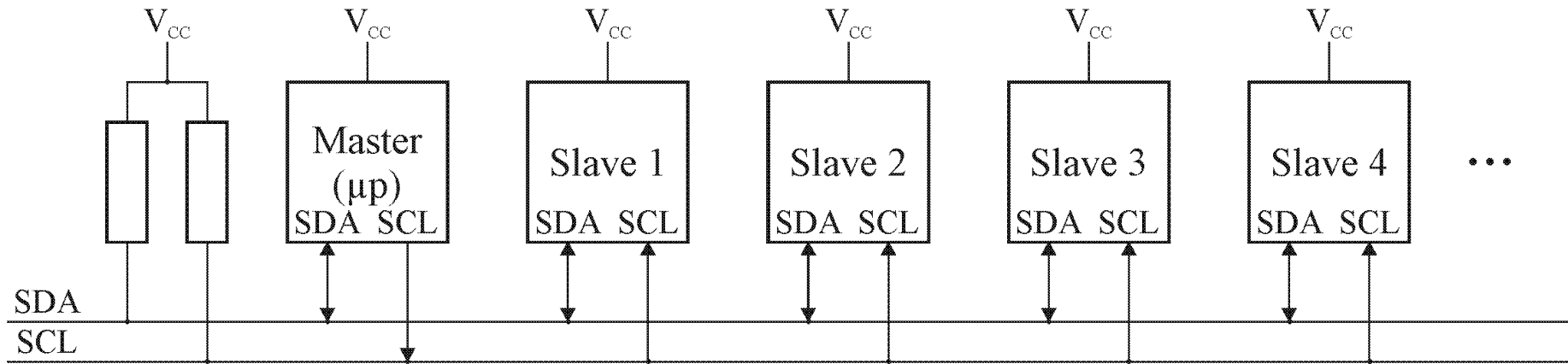
- I²C
 - *Inter-Integrated Circuit bus* (Philips)
 - 2 linie wyjściowe (otwarty kolektor):
 - SDA (*Serial Data*) – dwukierunkowa linia danych
 - SCL (*Serial Clock*) – zegar synchronizujący
 - Układ nadrzędny (*Master*)
 - Sterowanie magistralą i przebiegiem transmisji
 - Wysyłanie sekwencji Start i Stop
 - Układ podrzędny (*Slave*)
 - Dopuszczony do transmisji przez układ nadrzędny

Magistrale i interfejsy szeregowo

- Urządzenia I²C
 - Sterownik magistrali (PCF8584), bufory
 - Zegar czasu rzeczywistego (+kalendarz, +RAM, +EEPROM, +watchdog, +przełącznik zasilania itp.)
 - Cyfrowe przełączniki „DIP”
 - Sterowniki LED i LCD
 - Porty we-wy ogólnego przeznaczenia (+przerwania, + EEPROM, +ekspander itp.)
 - Multipleksery i przełączniki
 - Pamięci EEPROM i SRAM
 - Czujniki temperatury i napięcia
 - itd...

Magistrale i interfejsy szeregowe

- I²C



Magistrale i interfejsy szeregowo

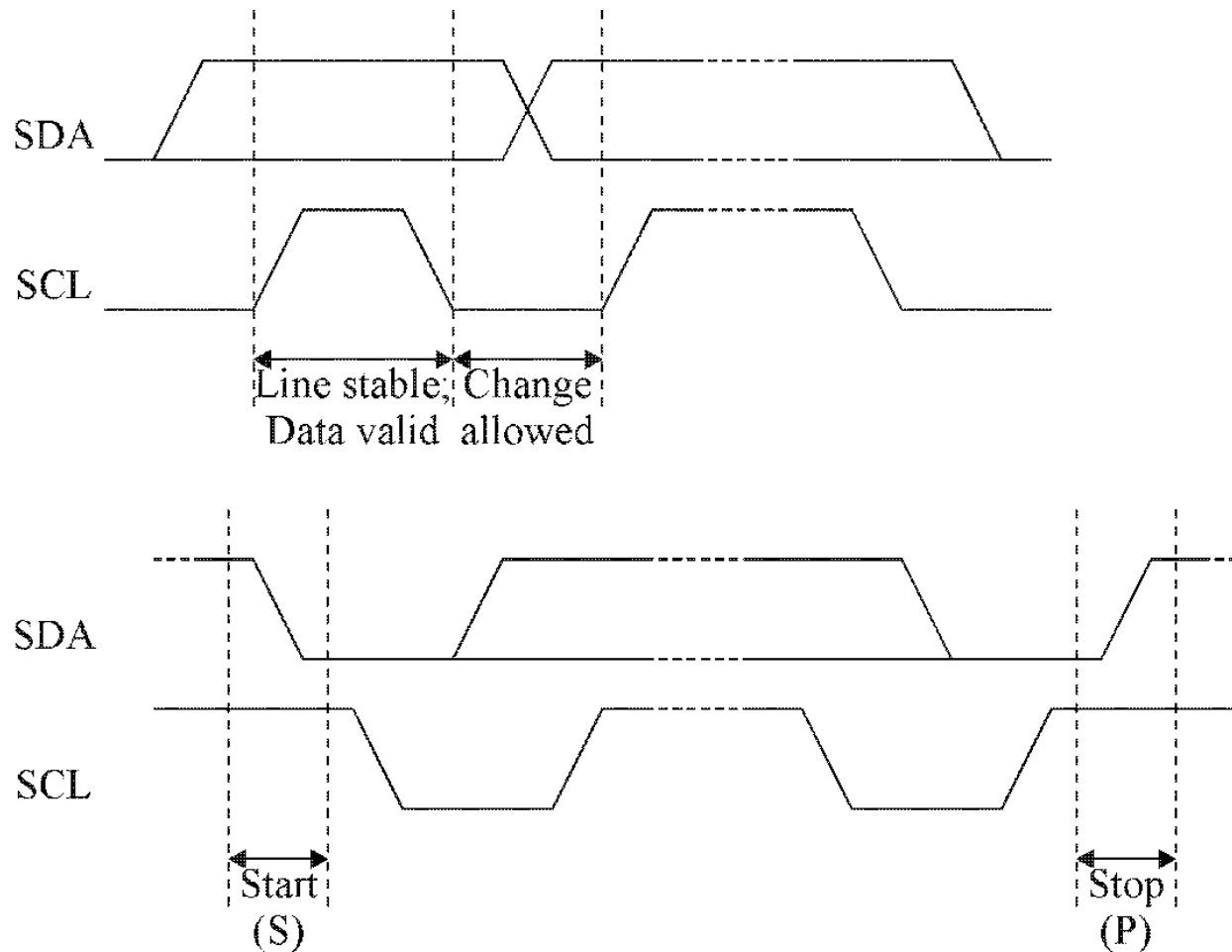
- Właściwości I²C
 - Nieograniczona liczba układów
 - Σ pojemności ≤ 400 pF/linię
 - Więcej układów – konieczne bufory linii
 - ≥ 1 układ nadrzędny \rightarrow procedura arbitrażu
 - Adres urządzenia:
 - Część stała (określona przez producenta)
 - Część zmienna (określona przez użytkownika)
 - Możliwość podłączenia wielu układów tego samego typu

Magistrale i interfejsy szeregowo

- Prędkości transmisji I²C
 - $f_{\min}=0 \rightarrow$ zatrzymanie transmisji bez konsekwencji
 - $f_{\max}=100$ kb/s (tryb standardowy – *standard*)
 - $f_{\max}=400$ kb/s (tryb szybki – *fast*)
 - $f_{\max}=1000$ kHz (tryb szybszy – *fast plus*)
 - $f_{\max}=3400$ kb/s (tryb bardzo szybki – *high speed*)
 - $f_{\max}=5000$ kb/s (tryb ultra szybki – *ultra fast*)
 - Transmisja tylko jednokierunkowa
- Im wyższa prędkość, tym mniej układów ją wspiera

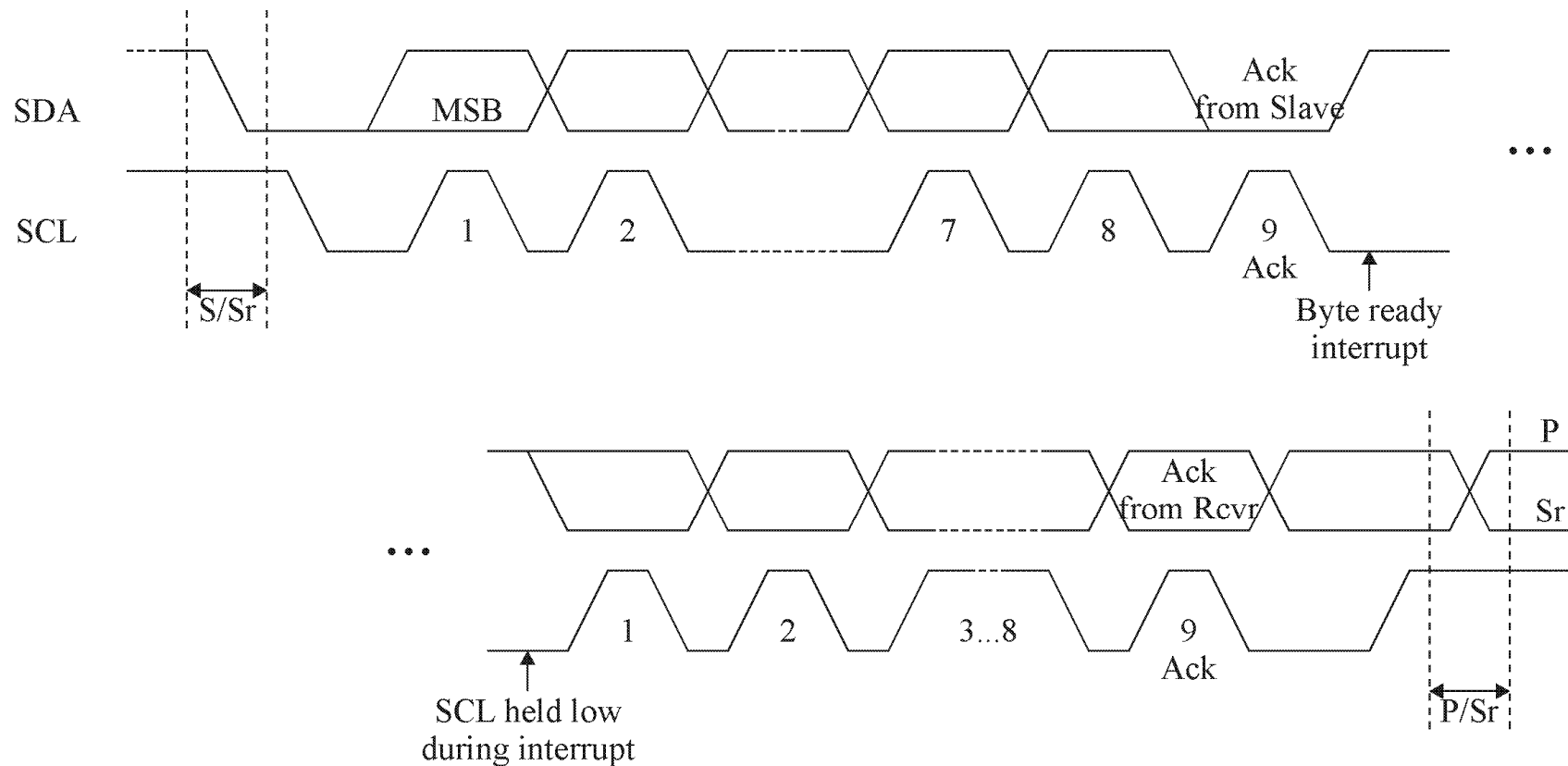
Magistrale i interfejsy szeregowe

- Przesył danych w I²C
 - Pojedyncze bity



Magistrale i interfejsy szeregowo

- Przesył danych w I²C
– Transmisja bajtów



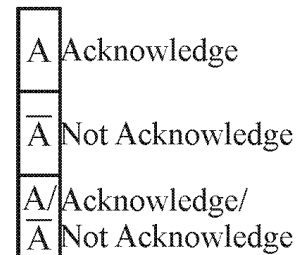
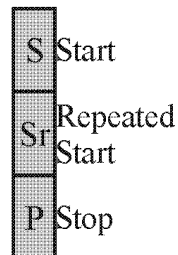
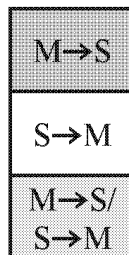
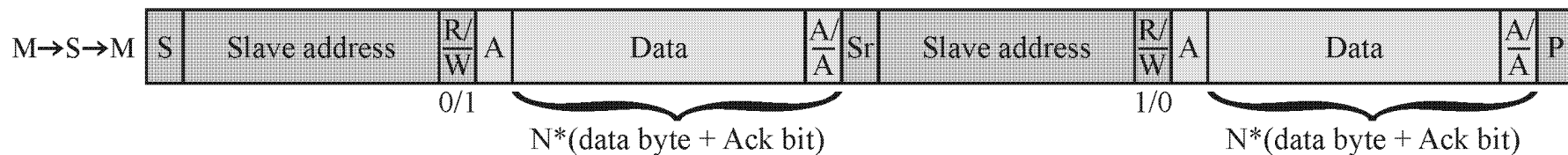
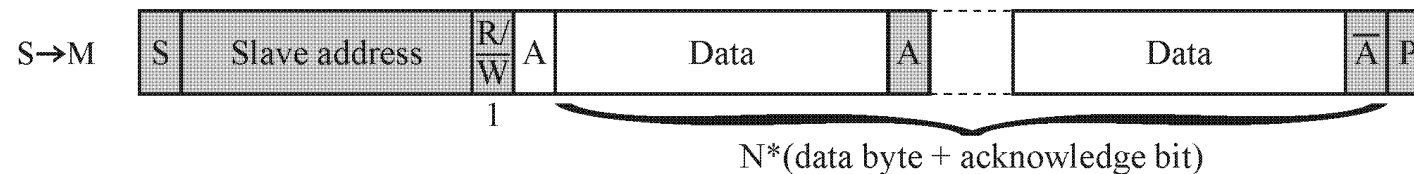
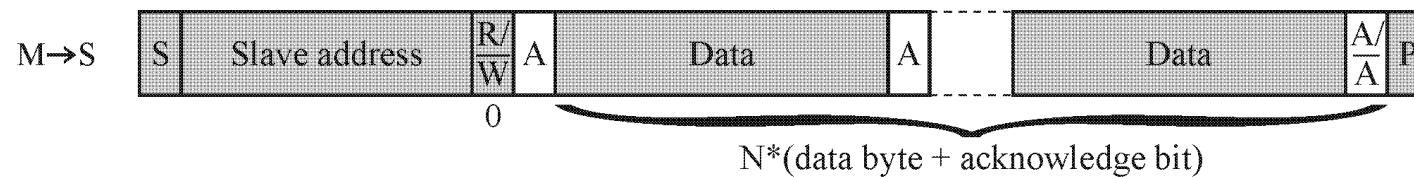
Magistrale i interfejsy szeregowo

- Przesył danych w I²C
 - Potwierdzenie
 - Wysyłane po każdej bajce
 - Nadawca zwalnia SDA
 - Odbiorca wymusza stan niski SDA
 - SDA=1 → brak potwierdzenia (*Not Ack*)
 - Wytwarzanie Not Ack, gdy:
 - Brak odbiorcy o podanym adresie
 - Odbiorca nie gotowy do transmisji (zajęty, np. operacją czasu rzeczywistego)
 - Rozkaz lub dane nie zrozumiane
 - Nie można odebrać więcej danych
 - Ack musi być wysłane przez układ nadrzędny

Magistrale i interfejsy szeregowe

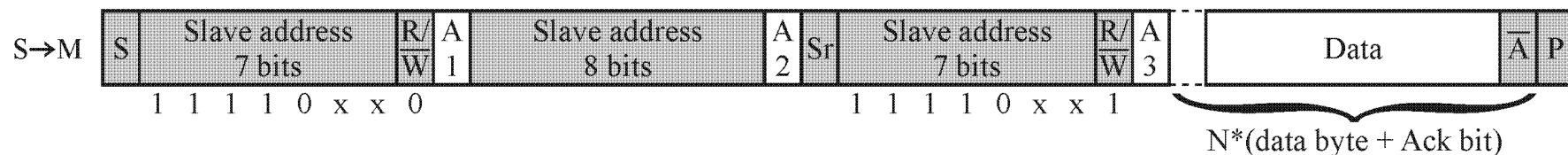
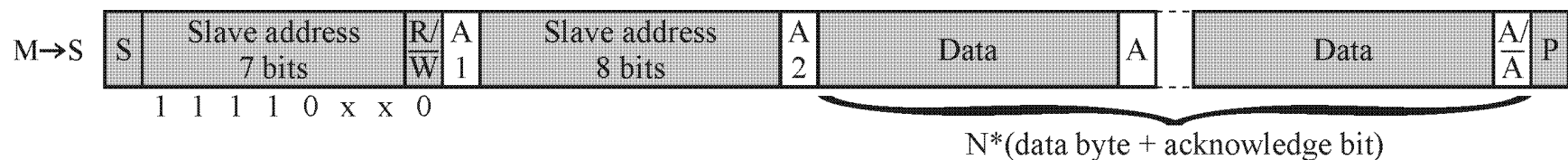
- Przesył danych w I²C

– Transmisja ramek



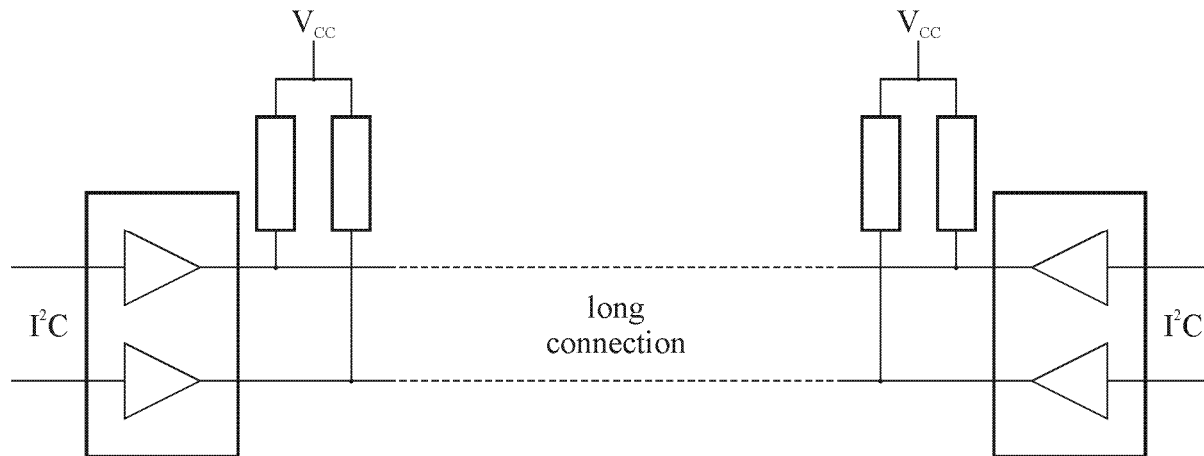
Magistrale i interfejsy szeregowe

- Przesył danych w I²C
 - Adresowanie 10-bitowe (rozszerzone)
 - 7-b część adresu – wartość zabroniona
 - Bity „xx” + 8 bitów = adres 10-b
 - A1 może pochodzić z wielu układów podrzędnych
 - A2 i A3 pochodzą z jednego układu podrzędnego



Magistrale i interfejsy szeregowe

- Zalecenia konstrukcyjne w I²C
 - V_{CC} i GND (lub przynajmniej GND) między SDA i SCL
 - dla uniknięcia przesłuchów
 - Wydłużenie magistrali – Σ pojemności ≤ 4000 pF/linię



- Optoizolacja
- Połączenie z RS232, Centronics (ster. programowe)
- Sterownik magistrali

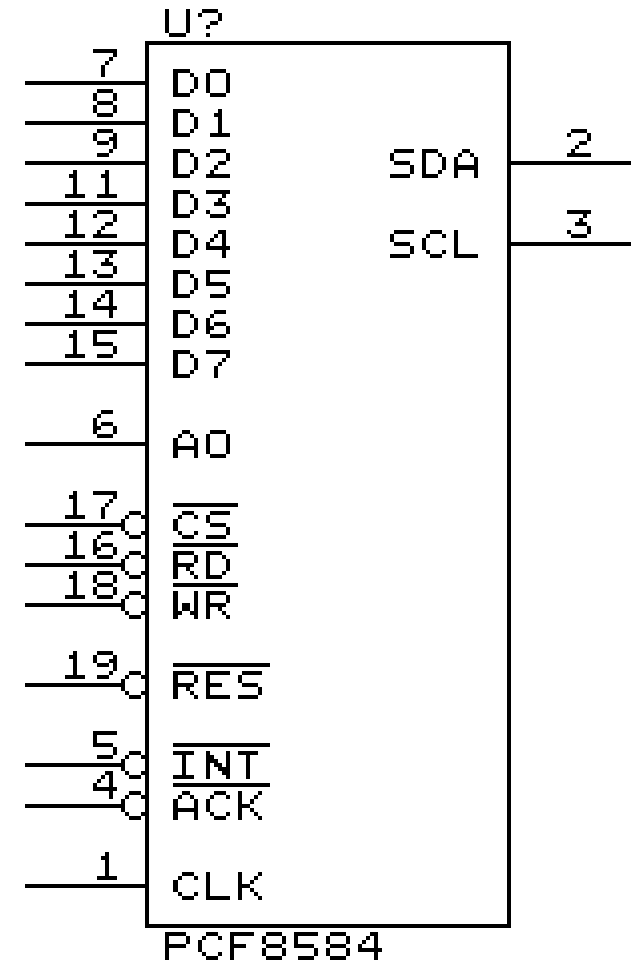
Magistrale i interfejsy szeregowo

- I²C – sterownik magistrali

PCF8584

- Działa z Z80, 8051, 6800, 68000, 8086 itp.
- Układ nadrzędny lub podrzędny
- Praca w systemie z wieloma układami nadrzędnymi
- Programowalny wektor przerwania

Można porównać liczbę sygnałów magistrali szeregowo i równoległej



Magistrale i interfejsy szeregowo

- SMBus
 - *System Management Bus* (Intel)
 - Ograniczona zgodność z I²C
 - Prędkość transmisji do 100 kb/s
 - Min $f_{\text{clk}}=10$ kHz (brak zawieszenia transmisji przez SCL=0)
 - Ograniczenie czasu operacji 25÷75 ms
 - Nieznacznie różne poziomy napięć
 - Analiza prądów
 - Połączenie I²C ↔ SMBus tylko dla krótkich połączeń
 - Użyte np. w modułach DRAM dla PC
 - SPD (*Serial Presence Detect*)
 - Organizacja i parametry pamięci DRAM

Magistrale i interfejsy szeregowo

- SPI
 - *Serial Peripheral Interface* (Motorola)
 - Dwukierunkowa transmisja synchroniczna
 - MISO (*Master In, Slave Out*)
 - MOSI (*Master Out, Slave In*)
 - SCK (*Serial Clock*)
 - Adresowanie fizyczne
 - \overline{SS} (*Slave Select*)
 - „*four-wire serial bus*”
 - Jeden układ nadrzędny, wiele podrzędnych

Magistrale i interfejsy szeregowo

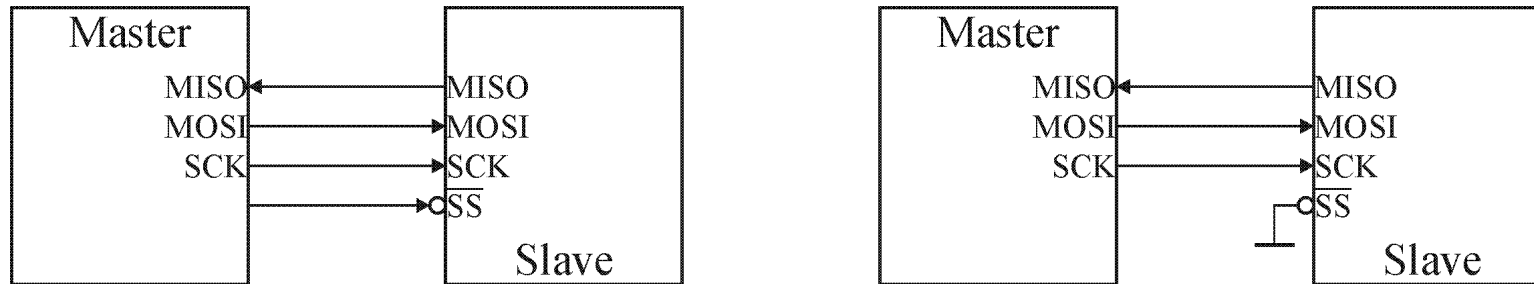
- Urządzenia SPI
 - Programowalne generatory częstotliwości
 - Interfejsy SmartCard
 - Cyfrowe czujniki temperatury
 - Potencjometry cyfrowe
 - Układy nadzorujące
 - EEPROM (+watchdog, +sterowanie napięciem zasilania, +zerowanie itp.)
 - ...

Magistrale i interfejsy szeregowo

- SPI
 - Typowa prędkość transmisji: 2.1 Mb/s
 - Niektórzy mówią, że nie jest ograniczona
 - Są implementacje powyżej 10 Mb/s
 - W μp , μs – zależna od częstotliwości zegara
 - Konfigurowalna długość słowa
 - Konfigurowalna polaryzacja i faza zegara
 - SCK
 - Wyjście, gdy tylko 1 układ nadrzędny
 - Wejście przed nadawaniem w pozostałych przypadkach

Magistrale i interfejsy szeregowe

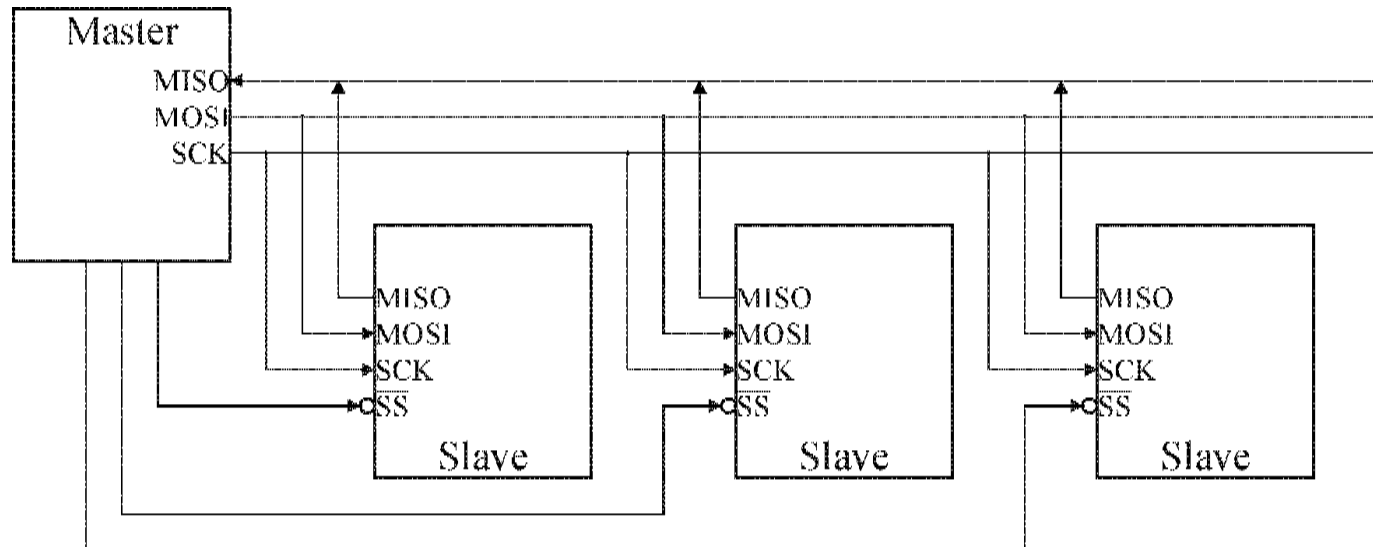
- SPI



- Impuls \overline{SS} może być konieczny, by układ podrzędny rozpoczął pracę (np. konwersję AC)
- \overline{SS} nieaktywny \rightarrow MOSI=HiZ
 - *nie we wszystkich układach!*

Magistrale i interfejsy szeregowe

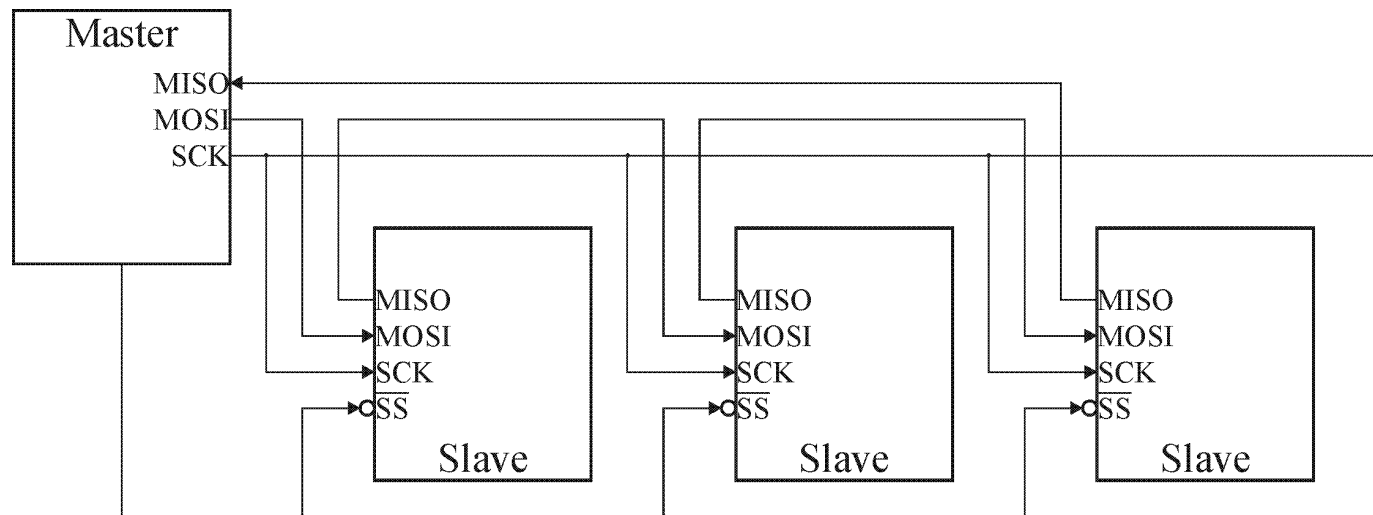
- SPI – połączenie magistralowe (*bus*)



- Nieograniczona liczba układów podrzędnych
- Dekoder, gdy dużo układów podrzędnych
- *Uwaga na max. obciążenie wyjść układu nadrzędnego!*

Magistrale i interfejsy szeregowe

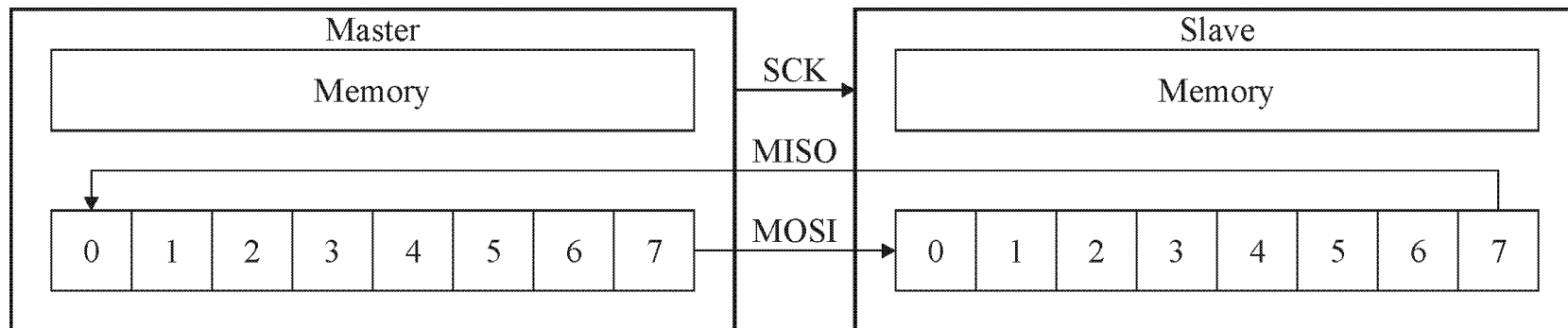
- SPI – połączenie łańcuchowe (*daisy-chain*)



- Np. gdy jest zbiór wejść lub wyjść
- SGPIO, JTAG, I²C

Magistrale i interfejsy szeregowe

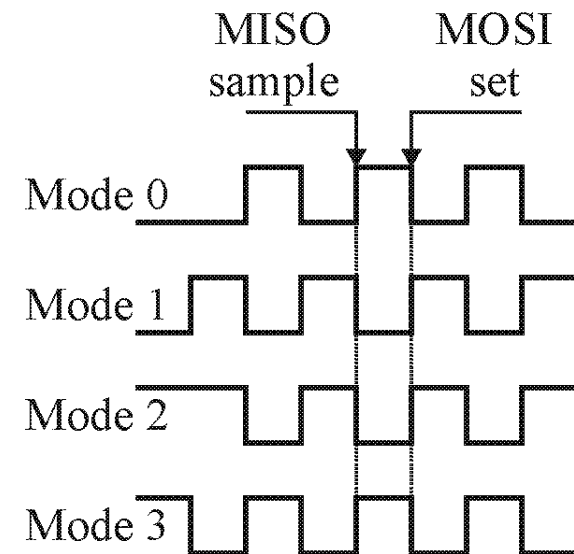
- SPI – przesył danych



- Konfigurowalna długość słowa
 - 8-b, 12-b (ADC, DAC), 16-b (ster. ekranów dotykowych)
- Konfigurowalna kolejność LSB/MSB
- W $\mu\text{p}/\mu\text{s}$ przerwanie po zakończeniu

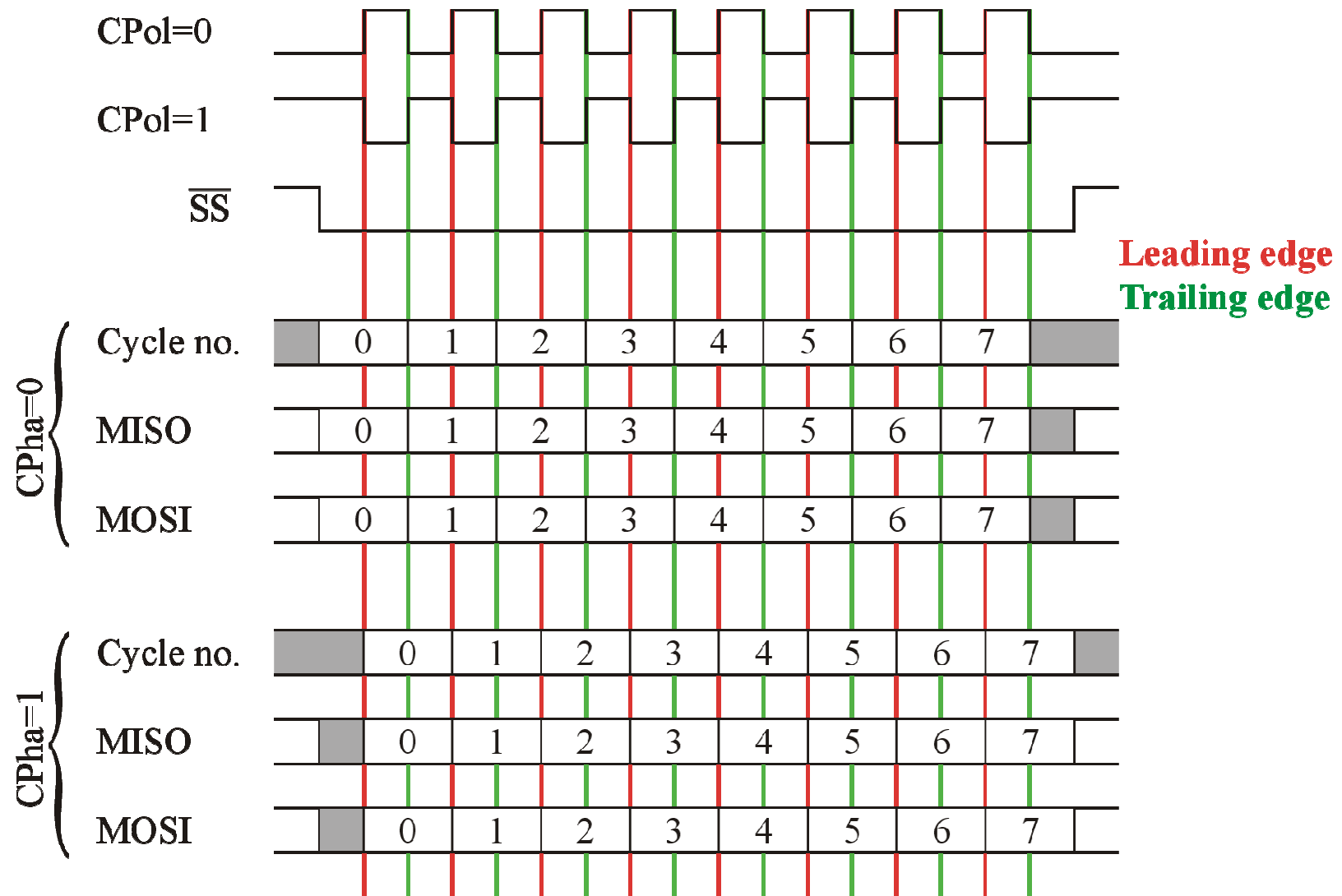
Magistrale i interfejsy szeregowe

- SPI – zegar
 - Konfigurowalna faza
 - Konfigurowalna polaryzacja
 - 4 tryby
- Można ustawić w u. nadrz.
- U. podrz. musi odgadnąć tryb
- Kłopotliwe, gdy układy pracują w różnych trybach
 - Dynamiczna rekonfiguracja układu nadrzędnego



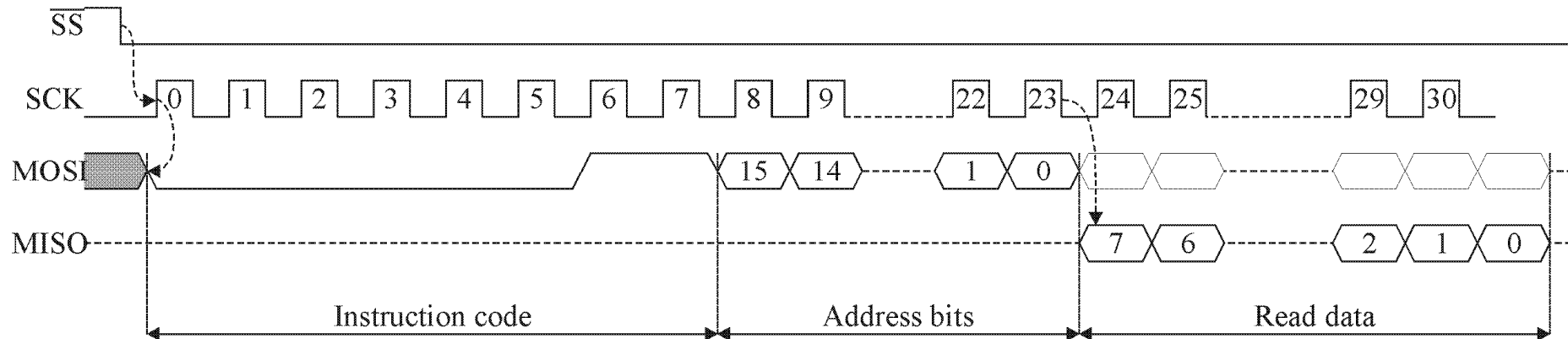
Magistrale i interfejsy szeregowe

- SPI – zegar



Magistrale i interfejsy szeregowo

- SPI – przykład odczytu pamięci



– Rozkazy – zależne od urządzenia

- Trzeba zajrzeć do dokumentacji układu

Magistrale i interfejsy szeregowo

- SPI – zastosowania w $\mu\text{p}/\mu\text{s}$
 - Odczyt pamięci szeregowych
 - μs = układ nadrzędny
 - Programowanie pamięci Flash/EEPROM
 - μc = układ podrzędny
 - Można implementować programowo
 - Przerwania
 - Można użyć dodatkowych sygnałów
 - Nie określone ani nie zabronione w standardzie

Magistrale i interfejsy szeregowo

- SPI – rozszerzenie zasięgu transmisji
 - Typowy zasięg transmisji
 - Nieokreślony
 - Zależny od prędkości transmisji
 - Rozszerzenie
 - Można użyć RS-422, RS-485 itp.

Magistrale i interfejsy szeregowo

- Microwire
 - National Semiconductor
 - Zbliżone do SPI:
 - $SI \approx MISO$, $SO \approx MOSI$, $SK \approx SCK$
 - Zgodność z trybem 0 SPI
 - μs – zawsze nadrzędny
 - \overline{CS} zamiast \overline{SS}
 - Niekonieczne, gdy tylko jeden układ podrzędny

Magistrale i interfejsy szeregowe

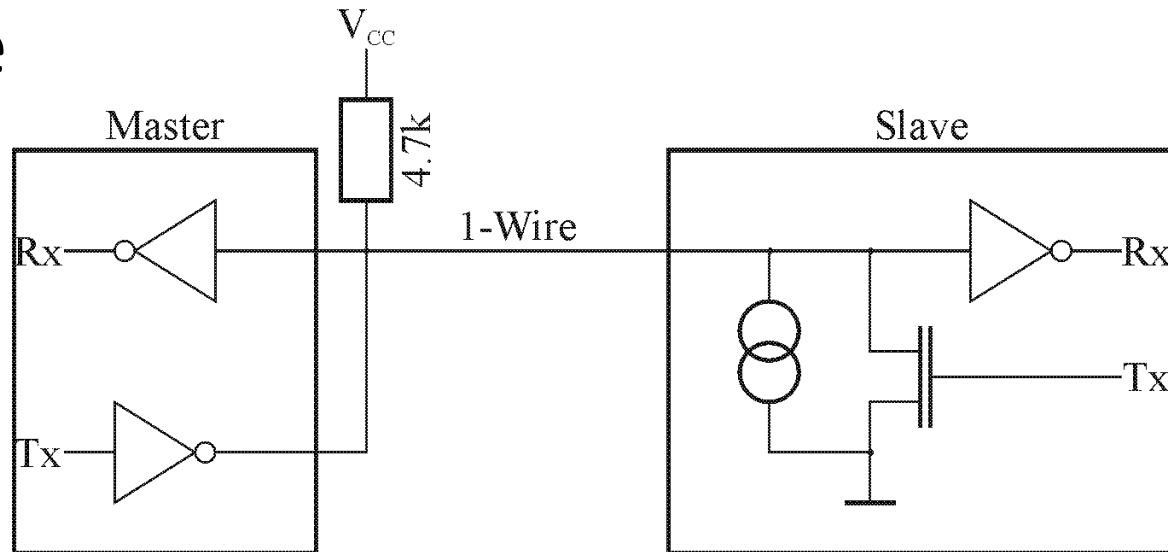
- 1-Wire
 - Dallas/Maxim
 - Zbliżone do I²C, ale:
 - Niższe prędkości transmisji
 - Większy zasięg transmisji
 - Tylko 2 linie włączając zasilanie i masę
 - Duża różnorodność urządzeń

Magistrale i interfejsy szeregowe

- Urządzenia 1-Wire
 - Układ nadrzędny 1-Wire
 - Sterownik linii
 - Czujniki temperatury
 - Konwerter 1-Wire/SPI
 - Konwerter 1-Wire/USB
 - Konwerter 1-Wire/COM
 - Pamięci RAM/ROM/EEPROM
 - Zegary czasu rzeczywistego
 -

Magistrale i interfejsy szeregowe

- 1-Wire



- Transmisja synchroniczna

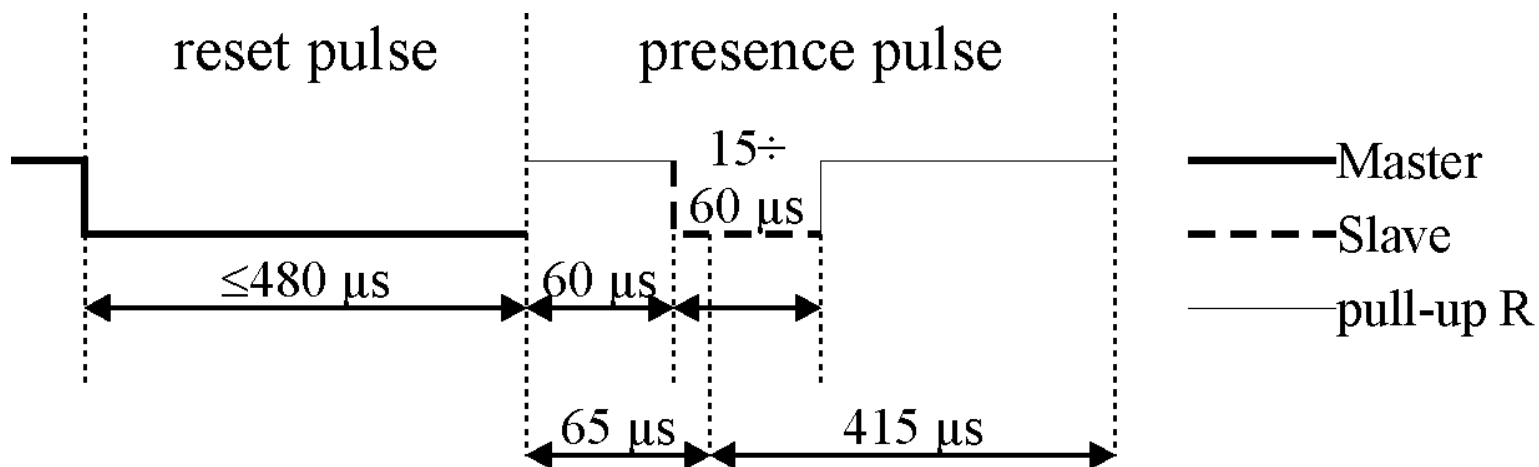
- Minimalna prędkość nieokreślona
- Prędkość standardowa: 16,3 kb/s
- Prędkość *Overdrive*: 115,2 kb/s
- Czas trwania bitu: 60 μ s + 1 μ s regeneracji

Magistrale i interfejsy szeregowe

- 1-Wire – transmisja

- Rozpoczęcie pracy

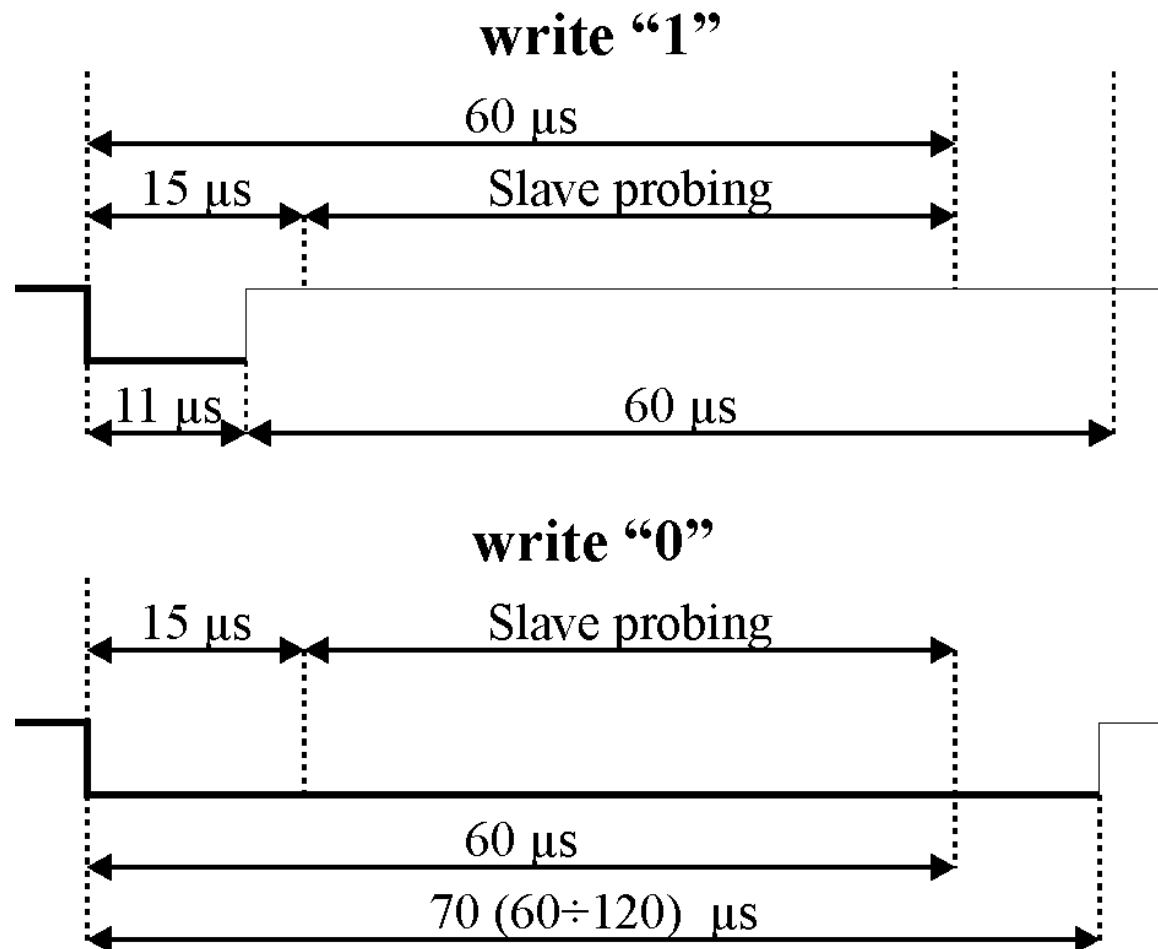
- Impuls zerowania z układu nadrzędnego ($\leq 480\mu\text{s}$)
- Impuls obecności z układu podrzędnego ($15\div 60\mu\text{s}$)



- „0” $\geq 480\mu\text{s}$ \rightarrow układ podrzędny wyłączony
- „1” po wyłączeniu \rightarrow zerowanie przy włączeniu

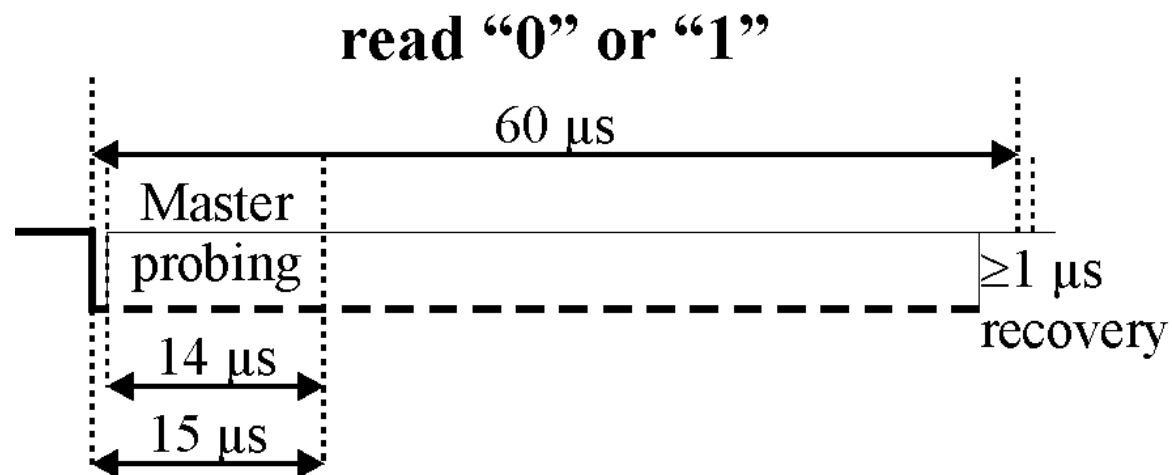
Magistrale i interfejsy szeregowe

- 1-Wire – transmisja
 - Master → Slave



Magistrale i interfejsy szeregowe

- 1-Wire – transmisja
 - Slave → Master



Magistrale i interfejsy szeregowo

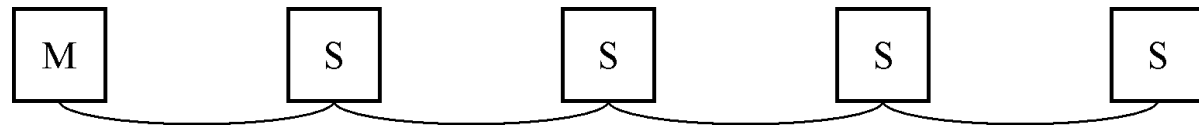
- 1-Wire – adresowania
 - Unikalny identyfikator urządzenia
 - B0: kod grupy układów
 - B1÷B6: unikalny identyfikator układu
 - B7: CRC
 - Przeszukiwanie identyfikatorów urządzeń
 - Liczba podłączonych układów
 - Identyfikatory urządzeń
 - Algorytm drzewa binarnego
 - Przeszukiwanie normalne – wszystkie podłączone urządzenia
 - Przeszukiwanie warunkowe – tylko urządzenia „w stanie alarmu” (np. gotowe do obsługi)

Magistrale i interfejsy szeregowe

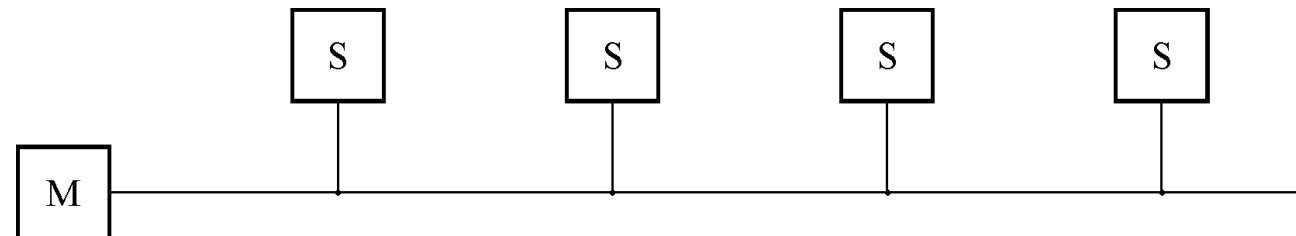
- 1-Wire – MicroLAN

- Prosta lub złożona sieć urządzeń 1-Wire

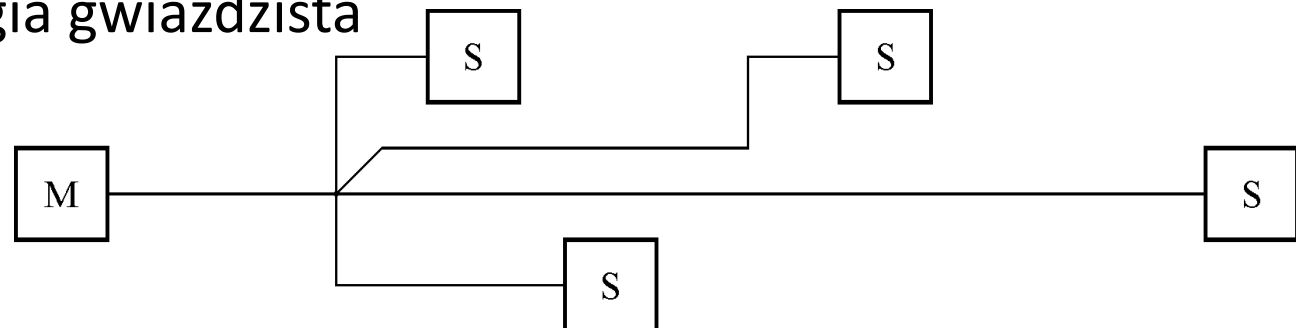
- Topologia liniowa



- Topologia drzewiasta

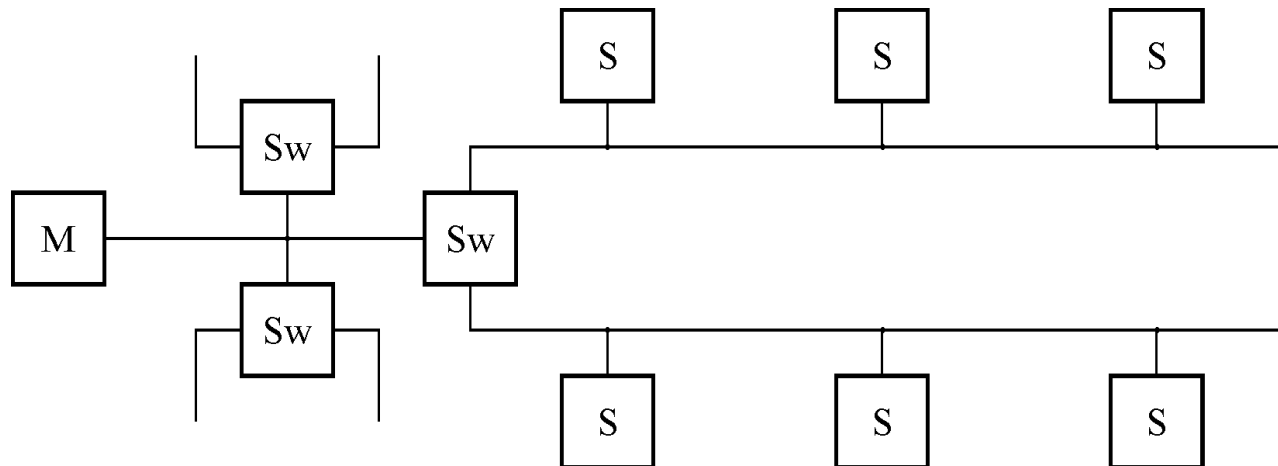


- Topologia gwiazdzista



Magistrale i interfejsy szeregowe

- 1-Wire – MicroLAN
 - Prosta lub złożona sieć urządzeń 1-Wire
 - Topologia złożona



- Przełącznik DS2409
 - „1-Wire 1-to-2 mux”
 - Wyjście sterujące

Magistrale i interfejsy szeregowe

- 1-Wire – „iButton”



By Baran Ivo – Own work, public domain

<https://commons.wikimedia.org/w/index.php?curid=3014840>