

Wykład 5

Układy równoległego wejścia-wyjścia

Bartłomiej Zieliński, PhD, DSc

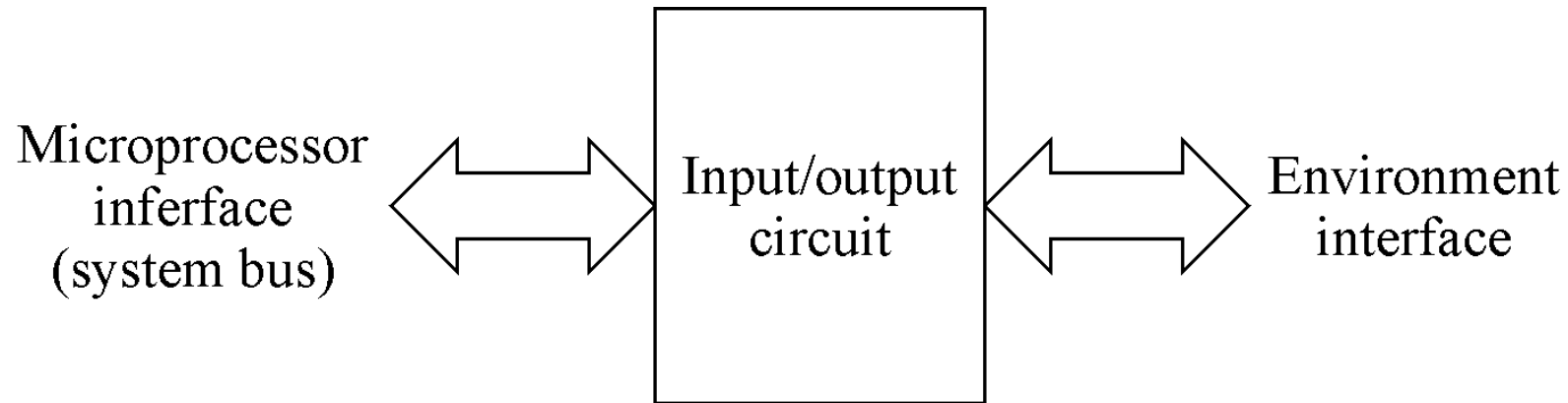
Układy równoległego we-wy

Program:

- Właściwości układów we-wy
- Proste układy we-wy z potwierdzeniem
 - Układ 8212
 - Rejestr + przerzutnik
- Programowalne układy równoległego we-wy
 - Intel 8255
 - Zilog Z80 PIO

Układy równoległego we-wy

- Właściwości układów we-wy



– Interfejs mikroprocesora

- Prosty – działa z każdym μp
- Przeznaczony dla konkretnych μp

– Interfejs otoczenia

- Zależny od wykonywanej funkcji
- Podobne lub identyczne w różnych układach

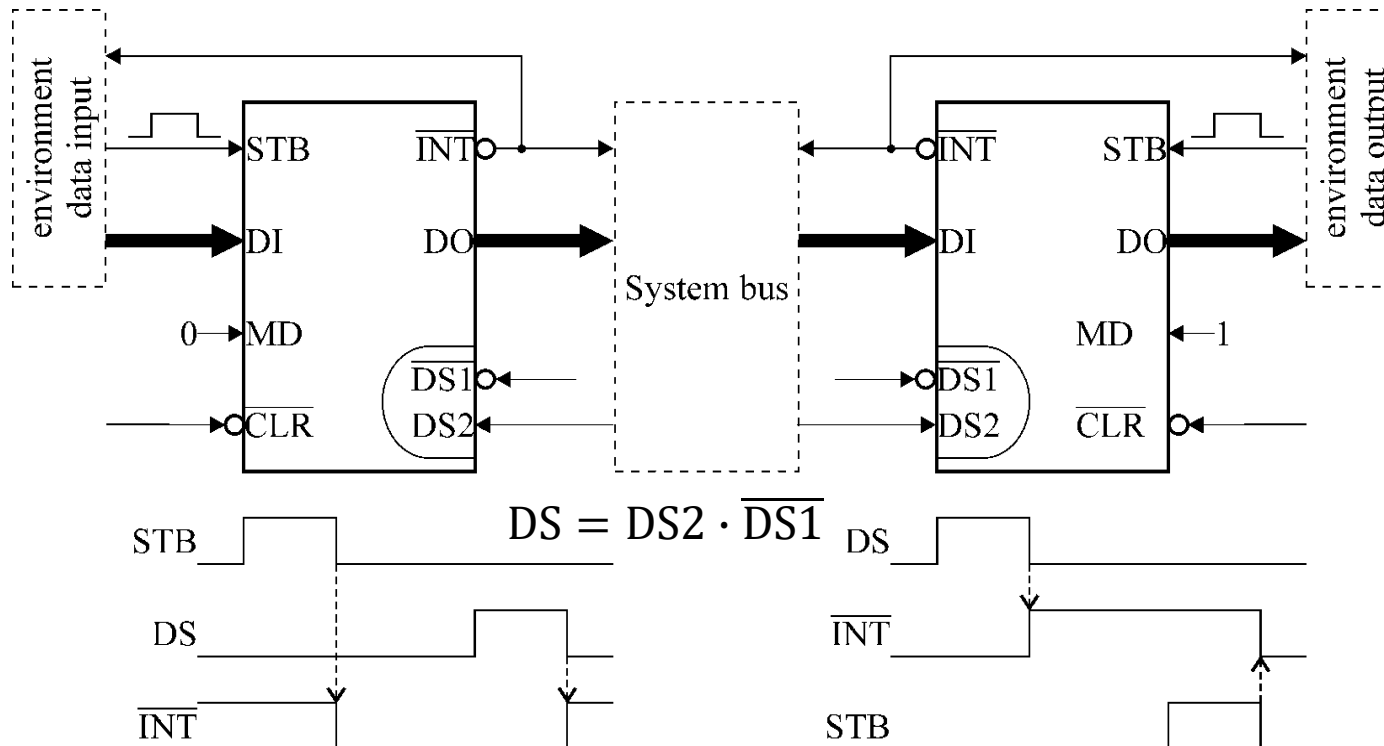
Układy równoległego we-wy

- Układ 8212

- 8-b uniwersalny rejestr we-wy z inf. o stanie

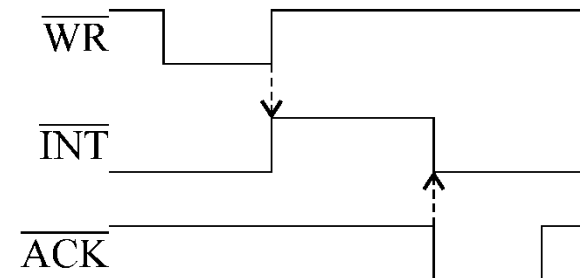
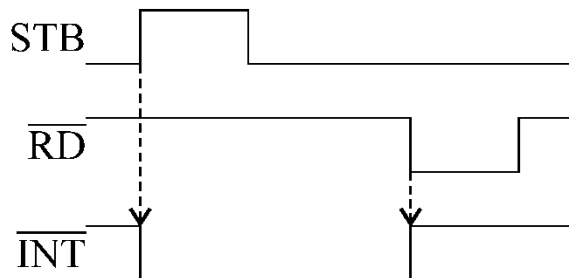
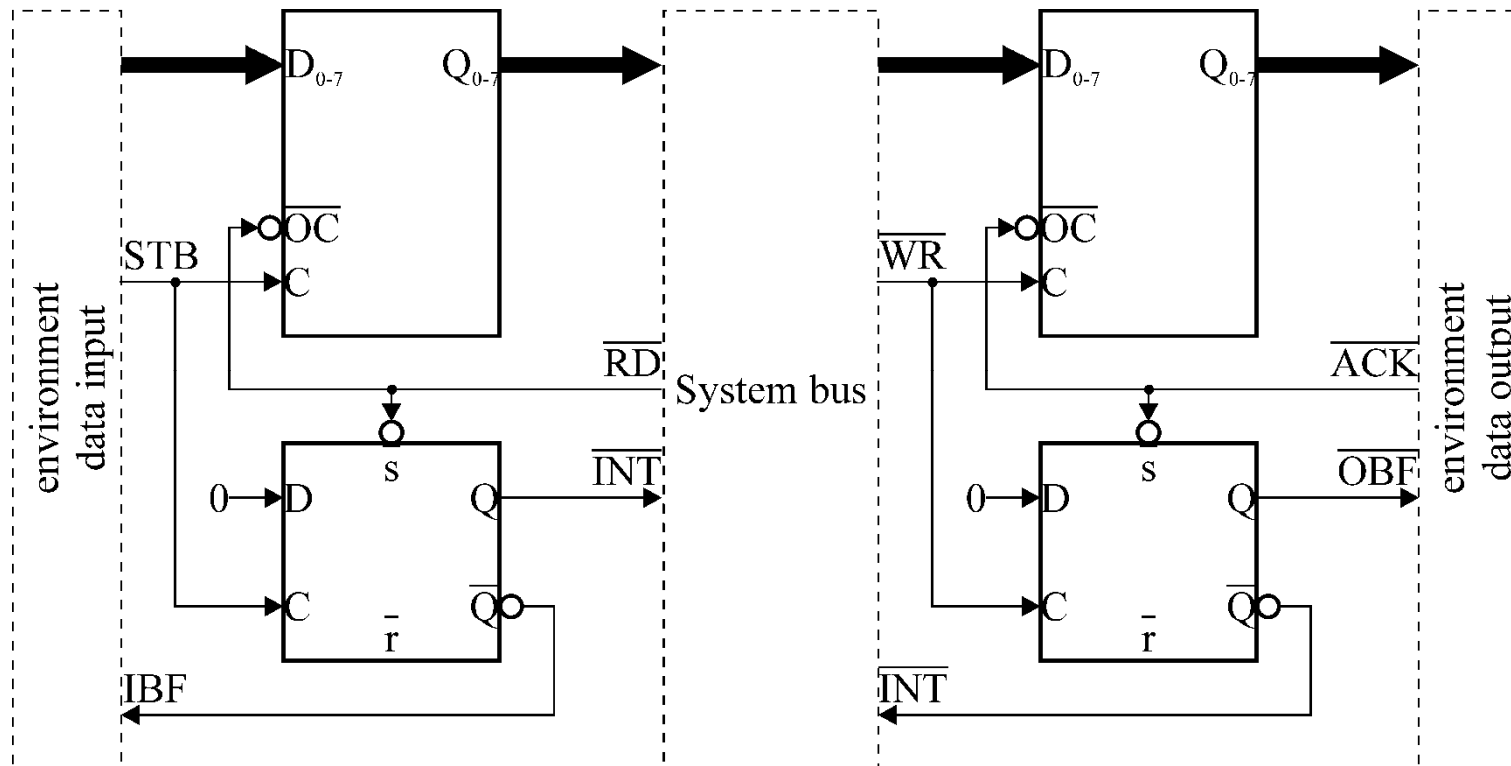
- Wejście równoległe z sygnałem gotowości danych
- DO – trójstanowe

- Wyjście równoległe z sygnałem żądania danych
- DO – dwustanowe



Układy równoległego we-wy

- Rejestr + przerzutnik

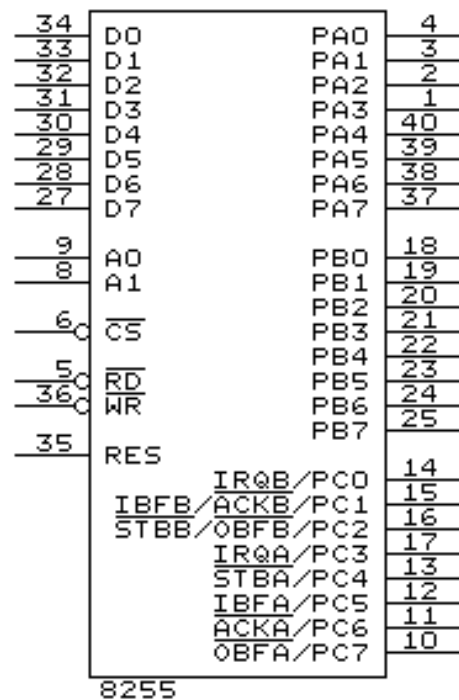


Układy równoległego we-wy

- Układ Intel 8255
 - Programowalny układ równoległego we-wy
 - 3 dwukierunkowe, 8-b porty we-wy
 - Port A – dwukierunkowy
 - Port B – wejście lub wyjście
 - Port C – wejście lub wyjście, albo sterowanie dla A i B
 - 3 tryby pracy
 - Wejście lub wyjście bez potwierdzenia (A, B, CL, CH)
 - Wejście lub wyjście z potwierdzeniem (A, B)
 - Dwukierunkowy z potwierdzeniem (A)

Układy równoległego we-wy

- Wyprowadzenia 8255

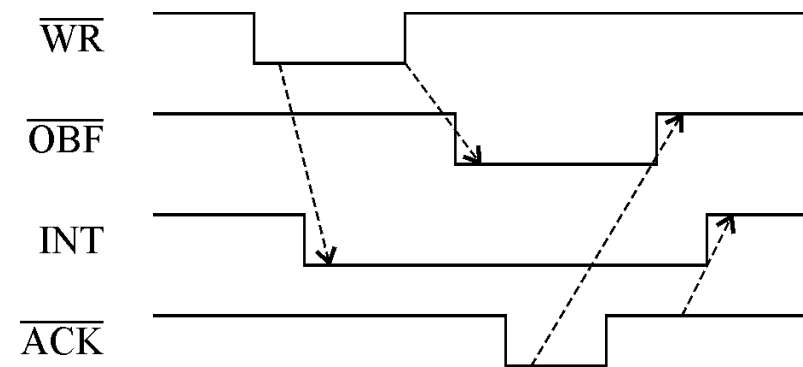
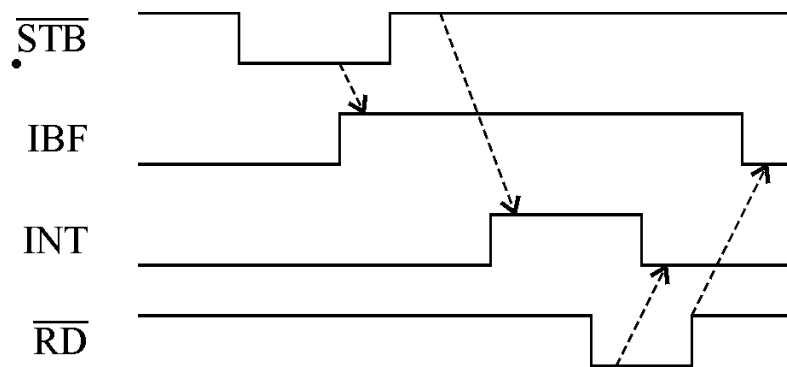


Układy równoległego we-wy

- Tryby pracy portów 8255
 - Tryb 0
 - Brak potwierdzenia
 - Ustawienie kierunku transmisji dla PA, PB, PCL, PCH
 - Dane wyjściowe – przechowywane w rejestrze
 - Dane wejściowe – odczyt z wyprowadzeń
 - Tryb 1
 - Potwierdzenie („*hand shake*”)
 - Ustawienie kierunku transmisji dla PA, PB
 - PC – sygnały sterujące dla PA i PB
 - Dane wyjściowe – przechowywane w rejestrze
 - Dane wejściowe – także przechowywane w rejestrze

Układy równoległego we-wy

- Tryb pracy portów 8255
 - Tryb 1 (cd.)



– Tryb 2

- Podobny do trybu 1
- Działa wyłącznie z PA
- Sygnały sterujące jak w trybie 1
- Dane wejściowe i wyjściowe w 2 odrębnych rejestrach

Układy równoległego we-wy

- Tryby pracy portów 8255 – przerwania
 - Tryb 0
 - Brak wbudowanego mechanizmu obsługi
 - Można zbudować układ zewnętrzny
 - Tryb 1
 - Sygnał sprzętowy (INT)
 - Programowy odczyt portu PC (odpytywanie)
 - Tryb 2
 - Jak w trybie 1
 - Wspólna linia INT dla obu kierunków transmisji
 - Zgłaszane, gdy $INTE=1$
 - Zmiana $INTE \rightarrow$ ust./zer. PC_3 ($INTE_A$) or PC_0 ($INTE_B$)

Układy równoległego we-wy

- Rejestry 8255

A ₁ A ₀	00	01	10	11
Rejestr	PA	PB	PC	sterujący

- Rejestr sterujący

- Tryb

Bit	Function
7	1
6-5	Tryb PA
4	Kierunek PA
3	Kierunek PCH
2	Tryb PB
1	Kierunek PB
0	Kierunek PCL

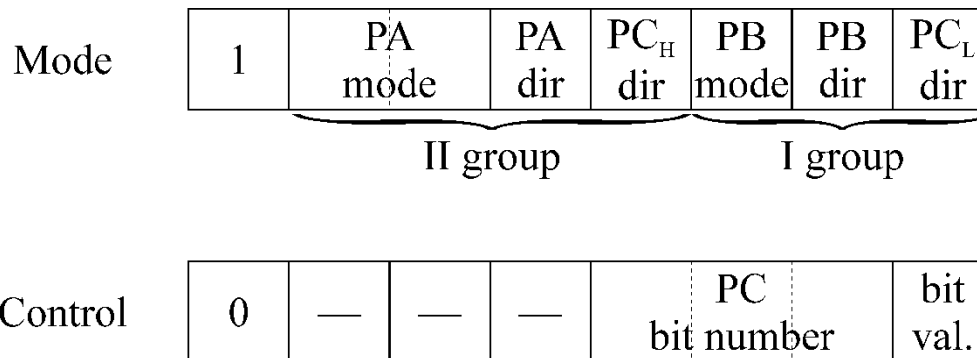
- sterowanie PC

Bit	Function
7	0
6-4	-
3-1	Numer bitu PC
0	Wartość bitu PC

$$PC_{R_{1..3}} = R_0$$

Układy równoległego we-wy

- Rejestr sterujący 8255
 - (tylko zapis)



– Bity kierunku:

- 1=Input
- 0=Output

Układy równoległego we-wy

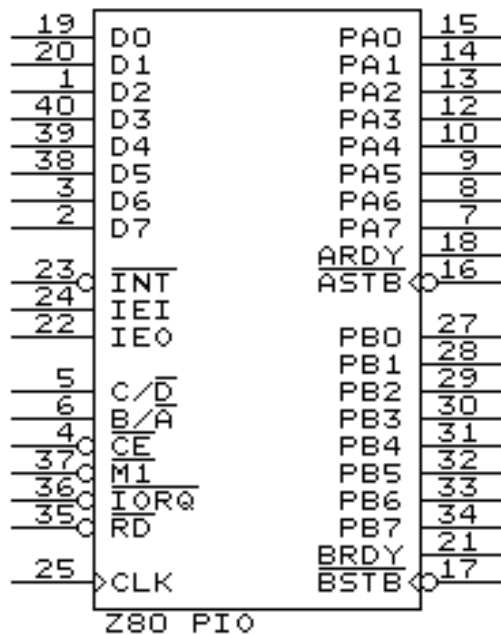
- Zerowanie 8255
 - Każdy port – tryb 0, wejście
 - Dla uniknięcia konfliktów wyjść
 - Linie portu – stan wysokiej impedancji

Układy równoległego we-wy

- Układ Zilog Z80 PIO
 - Programowalny układ równoległego we-wy
 - 2 dwukierunkowe, 8-b porty we-wy
 - Port A – dwukierunkowy
 - Port B – wejście lub wyjście
 - 4 tryby pracy
 - Wejście z potwierdzeniem (PA, PB)
 - Wyjście z potwierdzeniem (PA, PB)
 - Dwukierunkowy z potwierdzeniem (tylko PA)
 - PB ograniczony do trybu bitowego
 - Bitowy (PA, PB)

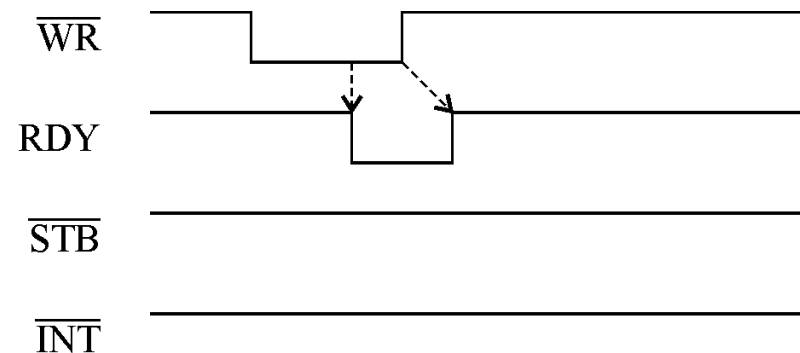
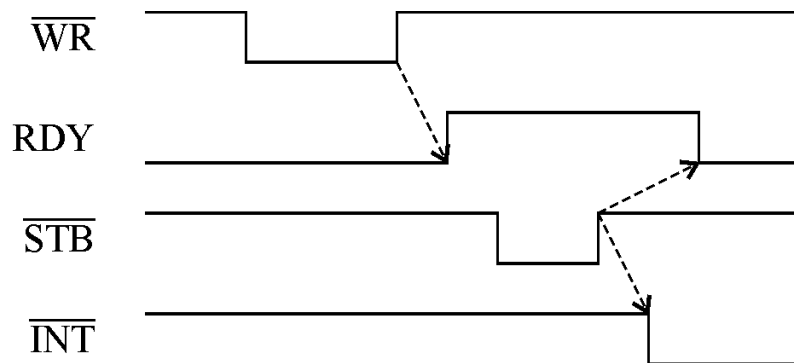
Układy równoległego we-wy

- Wyprowadzenia Z80 PIO



Układy równoległego we-wy

- Tryby pracy portów Z80 PIO
 - Tryb 0
 - Wyjście z opcjonalnym potwierdzeniem
 - Działa z PA i PB niezależnie
 - Dane wyjściowe w rejestrze
 - Po zapisaniu danych RDY 0→1

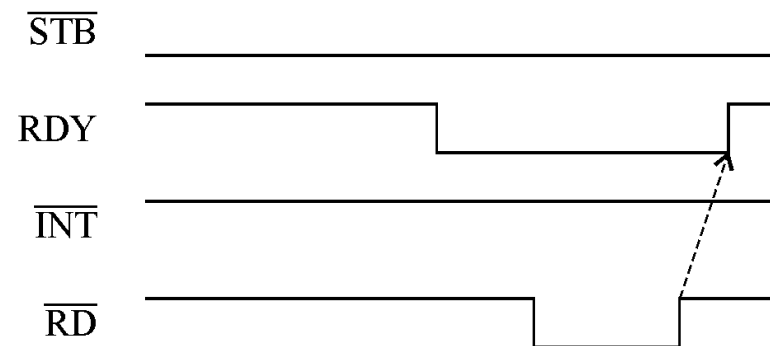
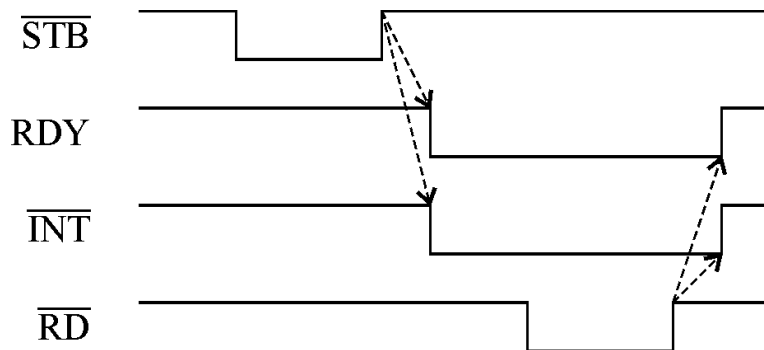


Układy równoległego we-wy

- Tryby pracy portów Z80 PIO

- Tryb 1

- Wejście z opcjonalnym potwierdzeniem
 - Działa z PA i PB niezależnie
 - Dane wejściowe można przechować w rejestrze
 - Po odczycie danych RDY 0→1



Układy równoległego we-wy

- Tryby pracy portów Z80 PIO
 - Tryb 2
 - Tryb dwukierunkowy z potwierdzeniem
 - Działa tylko w PA (PB tylko w trybie bitowym)
 - Dane przechowywane w osobnych rejestrach
 - Po odczycie/zapisie danych RDY 0→1
 - ARDY/ASTB – wyjście, BRDY/BSTB – wejście


Układy równoległego we-wy

- Tryby pracy portów Z80 PIO
 - Tryb 3
 - Tryb bitowy
 - Działa z PA i PB niezależnie
 - Każdy bit ustawiony jako wejście lub wyjście
 - RDY=0
 - „*Funkcja automatycznego nadzoru*”
 - Wybrane bity
 - Wybrana funkcja (OR, AND)
 - Wybrana wartość (0, 1)
 - Spełnienie warunku → przerwanie

Układy równoległego we-wy

- Programowanie Z80 PIO
 - Rejestry (osobno dla każdego portu)
 - Wejście danych (8-b)
 - Wyjście danych (8-b)
 - Tryb (2-b)
 - Maska (8-b)
 - Kierunek we-wy (8-b)
 - Wektor przerwania (8-b)
 - Sterowanie maską (2-b)

Układy równoległego we-wy

- Programowanie Z80 PIO
 - Wektor przerwania ($D_0=0$, D_{1-7} =wektor)
 - Tryb ($D_{0-3}=1$, D_{6-7} =tryb)
 - Tryb=3 \rightarrow nast. bajt określa kierunek (1=wy, 0-we)
 - Sterowanie przerwaniami ($D_{0-2}=1$, $D_3=0$, $D_7=1/0$ wł./wył.)
 - Tryb=3 $\rightarrow D_6$ =AND/OR, $D_5=1/0$, D_4 =maska wł./wył.
 - $D_4=1 \rightarrow$ nast. bajt to maska 
 - Wł/wył. przerwań ($D_{0-1}=1$, $D_{2-3}=0$, $D_7=1/0$ wł./wył.)

Układy równoległego we-wy

- Programowanie Z80 PIO

Interrupt vector	V7	V6	V5	V4	V3	V2	V1	0
------------------	----	----	----	----	----	----	----	---

Mode	M1	M0	—	—	1	1	1	1
------	----	----	---	---	---	---	---	---

if M₁M₀=11 (Mode 3)

Input/output direction	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
------------------------	------	------	------	------	------	------	------	------

Interrupt control	EI	And /Or	H/L	Mask	0	1	1	1
-------------------	----	---------	-----	------	---	---	---	---

if Mask=1

Mask	M7	M6	M5	M4	M3	M2	M1	M0
------	----	----	----	----	----	----	----	----

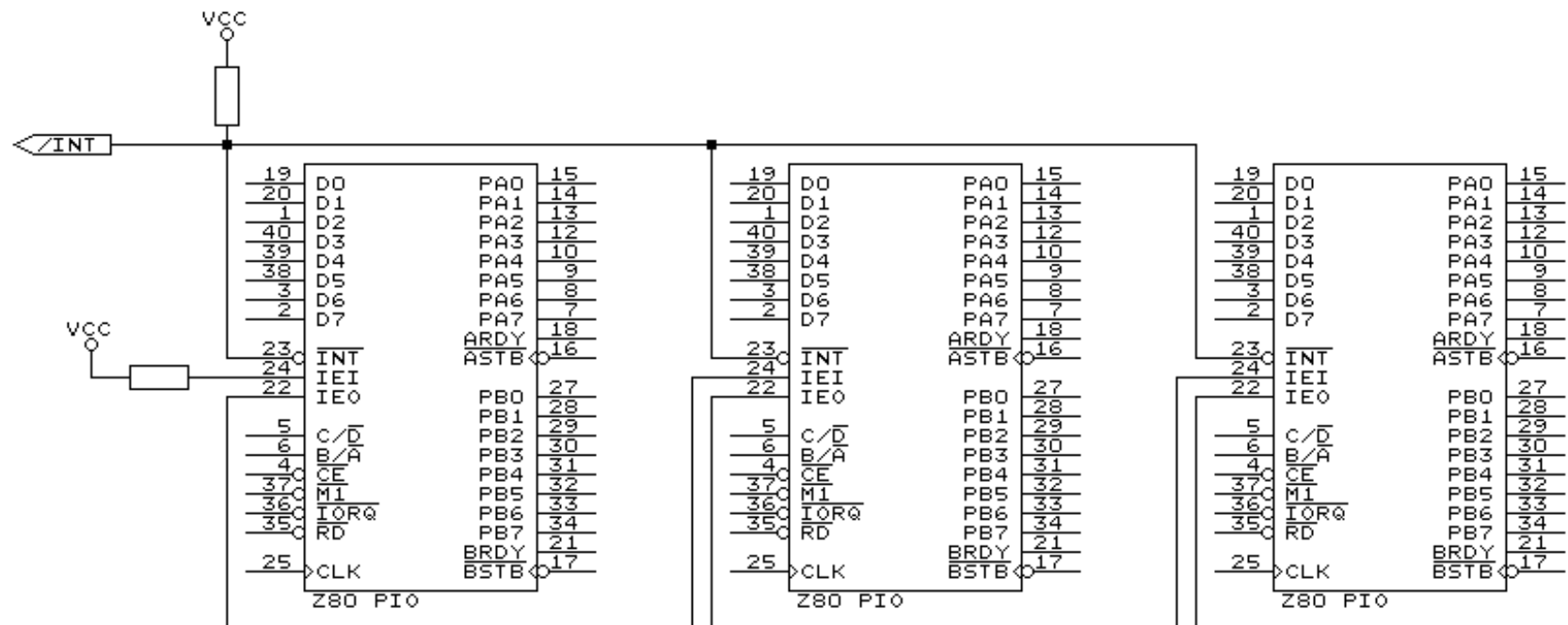
Interrupt enable/disable	EI	—	—	—	0	0	1	1
--------------------------	----	---	---	---	---	---	---	---

Układy równoległego we-wy

- Przerwania Z80 PIO
 - PA – wyższy priorytet
 - Tryby 0, 1, 2 – żądanie, gdy $\overline{STB}=0 \rightarrow 1$
 - Tryb 3 – żądanie, gdy spełniono określony warunek
 - Przyjęcie przerwania \rightarrow wysłanie wektora do μp
 - Dekodowanie rozkazu RETI

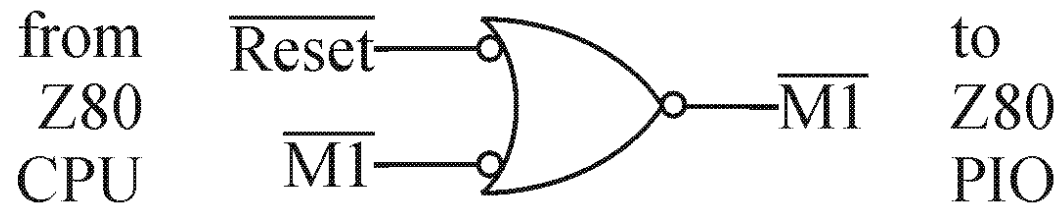
Układy równoległego we-wy

- Przerwania Z80 PIO
 - Wyprowadzenia IEI, IEO, INT
 - Priorytet „*daisy-chain*”



Układy równoległego we-wy

- Zerowanie Z80 PIO
 - wszystkie porty – tryb 1, wejście
 - Dla uniknięcia konfliktów wyjść
 - PA, PB – wysoka impedancja
 - ARDY=BRDY=0 (nieaktywne)
 - Wyłączenie przerwań
 - Rejestry wyjściowe PA i PB =0
 - Rejestr maski =0
 - Brak wejścia Reset (!)



Układy równoległego we-wy

- Więcej informacji o układach rodziny Z80

<http://z80.info/>